

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 4月11日

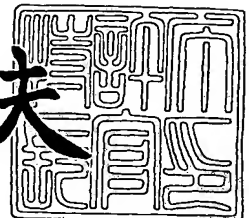
出願番号  
Application Number: 特願2003-108021  
[ST. 10/C]: [JP2003-108021]

出願人  
Applicant(s): シャープ株式会社

2003年12月18日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3105280

【書類名】 特許願

【整理番号】 03J00386

【提出日】 平成15年 4月11日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/21

【発明の名称】 メモリセル、メモリ装置及びメモリセル製造方法

【請求項の数】 35

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 森本 英徳

【特許出願人】

    【識別番号】 000005049

    【氏名又は名称】 シャープ株式会社

    【代表者】 町田 勝彦

【代理人】

    【識別番号】 100078868

    【弁理士】

    【氏名又は名称】 河野 登夫

    【電話番号】 06-6944-4141

【選任した代理人】

    【識別番号】 100114557

    【弁理士】

    【氏名又は名称】 河野 英仁

    【電話番号】 06-6944-4141

【手数料の表示】

    【予納台帳番号】 001889

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208490

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリセル、メモリ装置及びメモリセル製造方法

【特許請求の範囲】

【請求項 1】 可変抵抗素子と、該可変抵抗素子に流れる電流を制御する電流制御素子とを備えるメモリセルであって、前記電流制御素子はショットキーダイオードであることを特徴とするメモリセル。

【請求項 2】 前記可変抵抗素子はペロブスカイト型結晶構造を有する抵抗材料により構成されていることを特徴とする請求項 1 記載のメモリセル。

【請求項 3】 前記ショットキーダイオードは、第 1 導電型の半導体基板に形成された第 1 導電型とは異なる第 2 導電型の不純物領域を第 1 電極とし、該不純物領域に堆積された金属膜を第 2 電極とすることを特徴とする請求項 1 又は 2 記載のメモリセル。

【請求項 4】 前記半導体基板はシリコン基板であり、前記ショットキーダイオードは、前記不純物領域と前記不純物領域及び金属膜の間に形成された金属シリサイド膜との間にショットキー障壁を有することを特徴とする請求項 3 記載のメモリセル。

【請求項 5】 前記不純物領域は半導体基板に形成された素子分離領域の間に形成されていることを特徴とする請求項 3 又は 4 記載のメモリセル。

【請求項 6】 前記ショットキーダイオードの第 2 電極には前記可変抵抗素子を構成する可変抵抗膜が自己整合的に堆積されていることを特徴とする請求項 3、4 又は 5 記載のメモリセル。

【請求項 7】 前記ショットキーダイオードは絶縁膜の上に選択的に形成された多結晶シリコン領域を第 1 電極とし、該多結晶シリコン領域に堆積された金属膜を第 2 電極とすることを特徴とする請求項 1 又は 2 記載のメモリセル。

【請求項 8】 前記ショットキーダイオードは前記多結晶シリコン領域と前記多結晶シリコン領域及び金属膜の間に形成された金属シリサイド膜との間にショットキー障壁を有することを特徴とする請求項 7 記載のメモリセル。

【請求項 9】 マトリックス状に配置したワード線及びビット線が交差する位置にメモリセルを配置してあるメモリ装置において、前記メモリセルは可変抵

抗素子及び該可変抵抗素子に流れる電流を制御するショットキーダイオードを直列に接続した直列回路を備え、該直列回路の一端は前記ワード線に接続され、直列回路の他端は前記ビット線に接続されていることを特徴とするメモリ装置。

【請求項 10】 前記可変抵抗素子はペロブスカイト型結晶構造を有する抵抗材料により構成されていることを特徴とする請求項 9 記載のメモリ装置。

【請求項 11】 前記ショットキーダイオードの第 1 電極は前記ワード線に接続され、前記ショットキーダイオードの第 2 電極は前記可変抵抗素子の一端に接続され、前記可変抵抗素子の他端は前記ビット線に接続されていることを特徴とする請求項 9 又は 10 記載のメモリ装置。

【請求項 12】 前記ワード線は半導体基板における素子分離領域の間に形成された不純物領域で構成されていることを特徴とする請求項 9、10 又は 11 記載のメモリ装置。

【請求項 13】 前記ショットキーダイオードは前記不純物領域を第 1 電極とし、該不純物領域に堆積された金属膜を第 2 電極とすることを特徴とする請求項 12 記載のメモリ装置。

【請求項 14】 前記半導体基板はシリコン基板であり、前記ショットキーダイオードは、前記不純物領域と前記不純物領域及び金属膜の間に形成された金属シリサイド膜との間にショットキー障壁を有することを特徴とする請求項 13 記載のメモリ装置。

【請求項 15】 前記ショットキーダイオードの第 2 電極には前記可変抵抗素子を構成する可変抵抗膜が自己整合的に堆積されていることを特徴とする請求項 13 又は 14 記載のメモリ装置。

【請求項 16】 前記ワード線は絶縁膜の上に選択的に形成された多結晶シリコン領域で構成されていることを特徴とする請求項 9、10 又は 11 記載のメモリ装置。

【請求項 17】 前記ショットキーダイオードは前記多結晶シリコン領域を第 1 電極とし、前記多結晶シリコン領域に堆積された金属膜を第 2 電極とすることを特徴とする請求項 16 記載のメモリ装置。

【請求項 18】 前記ショットキーダイオードは前記多結晶シリコン領域と

前記多結晶シリコン領域及び金属膜の間に形成された金属シリサイド膜との間にショットキー障壁を有することを特徴とする請求項 17 記載のメモリ装置。

【請求項 19】 半導体基板に可変抵抗素子及びショットキーダイオードの直列回路で構成されるメモリセルを形成するメモリセル製造方法であって、

前記半導体基板の一表面に形成された不純物領域が露出する開口部を有する絶縁膜を形成する工程と、

前記絶縁膜の開口部に前記可変抵抗素子の電極を構成する金属膜を堆積する工程と、

前記金属膜に前記可変抵抗素子の抵抗体を構成する可変抵抗膜を堆積する工程と、

熱処理により前記不純物領域と金属膜との間にショットキーダイオードを形成する工程とを含むことを特徴とするメモリセル製造方法。

【請求項 20】 前記可変抵抗膜は開口部において金属膜に自己整合的に堆積されることを特徴とする請求項 19 記載のメモリセル製造方法。

【請求項 21】 前記熱処理の温度は前記可変抵抗膜の結晶性を改善できる温度であることを特徴とする請求項 19 又は 20 記載のメモリセル製造方法。

【請求項 22】 前記半導体基板はシリコン基板であり、前記ショットキーダイオードは前記不純物領域と前記不純物領域及び金属膜の間に前記熱処理により形成された金属シリサイド膜との間にショットキー障壁を有することを特徴とする請求項 19、20 又は 21 記載のメモリセル製造方法。

【請求項 23】 半導体基板に可変抵抗素子及びショットキーダイオードで構成されるメモリセルを形成するメモリセル製造方法であって、

前記半導体基板の一表面に形成された不純物領域が露出する開口部を有する絶縁膜を形成する工程と、

前記絶縁膜の開口部に前記可変抵抗素子の電極を構成する金属膜を堆積する工程と、

前記金属膜に前記可変抵抗素子の抵抗体を構成する第 1 膜厚の可変抵抗膜を堆積する工程と、

熱処理により前記不純物領域と金属膜との間にショットキーダイオードを形成

する工程と、

前記第 1 膜厚の可変抵抗膜に前記抵抗体を構成する第 2 膜厚の可変抵抗膜を堆積する工程とを含むことを特徴とするメモリセル製造方法。

【請求項 2 4】 前記熱処理の温度は前記第 1 膜厚の可変抵抗膜の結晶性を改善できる温度であることを特徴とする請求項 2 3 記載のメモリセル製造方法。

【請求項 2 5】 前記半導体基板はシリコン基板であり、前記ショットキーダイオードは前記不純物領域と前記不純物領域及び金属膜の間に前記熱処理により形成された金属シリサイド膜との間にショットキー障壁を有することを特徴とする請求項 2 3 又は 2 4 記載のメモリセル製造方法。

【請求項 2 6】 第 2 膜厚の可変抵抗膜を堆積した後、更に熱処理をする工程を含み、該熱処理の温度は前記第 2 膜厚の可変抵抗膜の結晶性を改善でき、前記金属シリサイド膜の抵抗値を低減できる温度であることを特徴とする請求項 2 3、2 4 又は 2 5 記載のメモリセル製造方法。

【請求項 2 7】 半導体基板に可変抵抗素子及びショットキーダイオードの直列回路で構成されるメモリセルを形成するメモリセル製造方法であって、前記半導体基板の一表面に形成された絶縁膜の上に多結晶シリコン領域を選択的に形成する工程と、

前記多結晶シリコン領域に前記可変抵抗素子の電極を構成する金属膜を堆積する工程と、

前記金属膜に前記可変抵抗素子の抵抗体を構成する可変抵抗膜を堆積する工程と、

熱処理により前記多結晶シリコン領域と金属膜との間にショットキーダイオードを形成する工程とを含むことを特徴とするメモリセル製造方法。

【請求項 2 8】 前記熱処理の温度は前記可変抵抗膜の結晶性を改善できる温度であることを特徴とする請求項 2 7 記載のメモリセル製造方法。

【請求項 2 9】 前記ショットキーダイオードは前記多結晶シリコン領域と前記前記多結晶シリコン領域及び金属膜の間に前記熱処理により形成された金属シリサイド膜との間にショットキー障壁を有することを特徴とする請求項 2 7 又は 2 8 記載のメモリセル製造方法。

【請求項 30】 半導体基板に可変抵抗素子及びショットキーダイオードで構成されるメモリセルを形成するメモリセル製造方法であって、

前記半導体基板の一表面に形成された絶縁膜の上に多結晶シリコン領域を選択的に形成する工程と、

前記多結晶シリコン領域に前記可変抵抗素子の電極を構成する金属膜を堆積する工程と、

前記金属膜に前記可変抵抗素子の抵抗体を構成する第 1 膜厚の可変抵抗膜を堆積する工程と、

熱処理により前記多結晶シリコン領域と金属膜との間にショットキーダイオードを形成する工程と、

前記第 1 膜厚の可変抵抗膜に前記抵抗体を構成する第 2 膜厚の可変抵抗膜を堆積する工程とを含むことを特徴とするメモリセル製造方法。

【請求項 31】 前記熱処理の温度は前記第 1 膜厚の可変抵抗膜の結晶性を改善できる温度であることを特徴とする請求項 30 記載のメモリセル製造方法。

【請求項 32】 前記ショットキーダイオードは前記多結晶シリコン領域と前記多結晶シリコン領域及び金属膜の間に前記熱処理により形成された金属シリサイド膜との間にショットキー障壁を有することを特徴とする請求項 30 又は 31 記載のメモリセル製造方法。

【請求項 33】 第 2 膜厚の可変抵抗膜を堆積した後、更に熱処理をする工程を含み、該熱処理の温度は前記第 2 膜厚の可変抵抗膜の結晶性を改善でき、前記金属シリサイド膜の抵抗値を低減できる温度であることを特徴とする請求項 30、31 又は 32 記載のメモリセル製造方法。

【請求項 34】 前記金属膜は高融点金属材料で形成されることを特徴とする請求項 19 ないし 33 のいずれかに記載のメモリセル製造方法。

【請求項 35】 前記高融点金属材料は Pt、Ti、Co 又は Ni の中から選択される 1 以上の金属を含むことを特徴とする請求項 34 記載のメモリセル製造方法。

【発明の詳細な説明】

【0001】



**【発明の属する技術分野】**

本発明は、可変抵抗素子とショットキーダイオードとの直列回路で構成される 1D1R 型（単位セルが 1 つのダイオードと 1 つの可変抵抗素子で構成される）のメモリセル、そのメモリセルをマトリックス状に配置したメモリ装置、及びメモリセル製造方法に関する。

**【0002】****【従来の技術】**

近年、開発が進められている磁気ランダムアクセスメモリ（MRAM: Magnetic Random Access Memory）の多くは、巨大磁気抵抗材料の強磁性体の残留磁化で情報を記憶する強磁性体メモリセルを構成し、磁化方向の違いによって生じる電気抵抗値の変化を電圧に変換して記憶した情報を読み出す方式を採用している。この強磁性体メモリセルに書き込み用金属配線を設け、この書き込み用金属配線にミリアンペアオーダーの電流を流して誘起される磁場により強磁性体メモリセルの磁化方向を変化させることで、強磁性体メモリセルに情報を書き込み、又は、その情報を書き換えることができる。

**【0003】**

MRAM（強磁性体メモリセル）では、書き込み時に多く（ミリアンペアオーダー）の電流を流す必要があるため、書き込み用の配線は金属で形成されている。このような MRAM の例としては、互いに交差した 1 対の配線が書き込み線と読み出し線を兼ねており、セル選択用の電界効果型トランジスタと巨大磁気抵抗薄膜を含む磁気抵抗素子とを組み合わせた MRAM（1T1R 型：単位セルが 1 つのトランジスタと 1 つの磁気抵抗素子で構成される）が知られている（例えば、特許文献 1 参照）。巨大磁気抵抗薄膜を含むメモリセルは、磁化の方向によって電気抵抗値が異なる磁気抵抗効果を示す。

**【0004】**

また、IBM 社の W. J. Gallagher らは、1 つの磁気抵抗素子と 1 つの PN 接合で形成されたダイオードを直列に接続した MRAM（1D1R 型：単位セルが 1 つのダイオードと磁気抵抗素子からなる構造である）がマトリックス状に設けられた X-Y 配線により接続されたメモリアレイ（メモリ装置）を開

示している（特許文献2参照）。これによれば、単純なマトリックス状の配線で磁気抵抗素子を挟んだ構造の場合に生ずる迂回電流をダイオードによって回避することができ、また、1T1R型に比べて構造が簡単なのでメモリセルの面積が小さくなる可能性がある。トンネル磁気抵抗素子（TMR素子）1個とPN接合で形成されたダイオード1個を直列に接続した単位メモリセルが、マトリックス状に設けられたX-Y配線により接続されたメモリアレイでは、TMR素子の抵抗値のばらつきやダイオードの順方向抵抗のばらつき、配線の電圧降下などの影響を無くすために大きな磁気抵抗比が要求されるのでメモリチップを構成することが困難である。

#### 【0005】

特許文献2において開示された製造方法では、X-Y配線のうち一方の金属配線を形成した後にダイオードを形成する工程が来るので、p型の不純物からなる多結晶シリコンとn型の不純物からなる多結晶シリコンとを接合してダイオードを形成する。このときの熱処理の影響で金属配線の溶解、劣化を考慮すればダイオードの形成工程で高温の加熱工程を取り入れられないという問題がある。その結果、ダイオードの特性が悪く、逆バイアス時のリーク電流が大きくなり、大規模なメモリアレイを構成することが困難となる。つまり、マトリックス状に配置したMRAMはセル面積が小さく集積度の面で有利なことは明らかであるが、高集積化に対応できるだけの素子構成及び駆動方法を実現することが困難である。

#### 【0006】

上記MRAMにおける磁気抵抗素子よりも抵抗変化率の大きな可変抵抗素子として、超巨大磁気抵抗や高温超伝導を示すペロブスカイト型結晶構造や2重整列ペロブスカイト型結晶構造を有する材料、より具体的には $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$  ( $0 < x < 1$ )、 $\text{La}_{(1-x)}\text{Ca}_x\text{MnO}_3$  ( $0 < x < 1$ )、 $\text{Nd}_{(1-x)}\text{Sr}_x\text{MnO}_3$  ( $0 < x < 1$ )、 $\text{Sr}_2\text{FeMoO}_6$ 、 $\text{Sr}_2\text{FeWO}_6$ などが知られており（例えば、特許文献3参照）、このような可変抵抗素子を用いることで上記問題を解決できる。

#### 【0007】

特許文献3において、ペロブスカイト構造をもつ薄膜材料、特に巨大磁性抵抗

(CMR: colossal magnetoresistance) 材料や高温超伝導 (HTSC: high temperature superconductivity) 材料により構成した薄膜やバルクに対して、1つ以上の短い電気パルスを印加することによって、その電気的特性を変化させる手法が提案されている。この電気パルスによる電界の強さや電流密度は、その材料の物理的な状態を変化させるには十分であり、また、材料を破壊することの無い十分に低いエネルギーであれば良く、この電気的パルスは正極性、負極性の何れでもよい。複数の電気パルスを繰り返し印加することにより、さらに材料特性を変化させることができる。図17～図20に特許文献3に開示されている可変抵抗素子の特性を示す。

#### 【0008】

図17、図18は可変抵抗素子での印加パルス数と抵抗との関係を示すグラフである。図17は、金属性基板（サブストレート）の上に成長させたCMRフィルムに対して印加するパルス数と抵抗（抵抗値）との関係を示している。ここでは、32Vの振幅、71nsのパルス幅を持つパルスを47発印加している。このような条件下では、図から分かるように抵抗は1桁程度変化することが分かる。また、図18は、パルス印加条件を変更して、27Vの振幅、65nsのパルス幅を持つパルスを168発印加している。このような条件下では、図から分かるように抵抗は約5桁も変化することが分かる。

#### 【0009】

図19、図20は可変抵抗素子での印加パルス極性と抵抗との関係を示すグラフである。図19は、正極性+12Vと負極性-12Vのパルスを印加した場合のパルス数と抵抗（抵抗値）との関係を示す。また、図20は、正極性+51Vと負極性-51Vのパルスを連続印加した後に抵抗を測定した場合のパルス数と抵抗との関係を示す。図19及び図20に見られるように、数回の正極性パルスを印加して抵抗を低減させた後、負極性のパルスを連続印加して抵抗の増大（最終的には飽和状態）を図ることが可能となる。このことは、正極性パルスを印加した時をリセット状態、負極性を印加した時を書き込み状態とすることでメモリデバイスへの応用が考えられる。

#### 【0010】

図17～図20の可変抵抗素子において、書き込み時間は数十ナノ秒から200ナノ秒程度であり、消去は、書き込み時と逆極性の電圧を数十ナノ秒から200ナノ秒程度印加することで可能となる。また、このような可変抵抗素子（CMR材料）を用いることで、書き込みのために大きな電流を金属配線に流す必要がないため、下部配線に高温加熱処理に強いタングステン配線や多結晶シリコン、シリコン基板の拡散層（不純物領域）を用いることができる。

#### 【0011】

##### 【特許文献1】

特開平6-84347号公報

##### 【特許文献2】

米国特許第5,640,343号明細書

##### 【特許文献3】

米国特許第6,204,139号明細書

#### 【0012】

##### 【発明が解決しようとする課題】

CMR材料などの可変抵抗材料を用いて形成した可変抵抗素子及びPN接合で形成したダイオードにより1D1R型のメモリセルを構成した場合、読み出し動作のときのメモリセルには、ダイオードの順方向閾値と可変抵抗素子に印加する電圧の和が印加される。この読み出し動作時の印加電圧が大きい場合には、読み出し動作時に抵抗（抵抗値）が変化する読み出し障害（読み出しディスタ urb）が発生し、可変抵抗素子の抵抗（抵抗値）が低抵抗状態から高抵抗状態に変化するので、読み出し電圧はできるだけ低減する必要がある。しかし、PN接合で形成されたダイオードの順方向閾値は、高い（約0.5V）ため、読み出しディスタ urbを生じるという問題がある。

#### 【0013】

CMR材料などの可変抵抗材料を用いて形成した可変抵抗素子とPN接合で形成したダイオードとにより構成された1D1R型のメモリセルを製造する場合、メモリセルを選択するためのワード線デコーダ及びビット線デコーダを構成するトランジスタ（MOSFET）と、読み出し回路などの周辺回路を構成するトラ

ンジスタ (MOSFET) とを先に形成し、次に多結晶シリコンのPN接合で構成されるダイオードを形成し、その後、可変抵抗素子を形成する。このような製造方法においては、p型の不純物を導入した多結晶シリコン及びn型の不純物を導入した多結晶シリコンを接合してダイオードを形成するための熱処理と、スパッタ法やCVD法によって堆積 (成膜) した可変抵抗材料の膜の結晶性を向上させるための熱処理とは別々に行う。これらの熱処理を別々に行う場合には、熱処理の回数が増えることから、メモリ装置の周辺回路を構成するトランジスタ (MOSFET) のソース領域とドレイン領域の拡散層が広がり、実効的なゲート長が短くなり、短チャネル効果によるトランジスタの特性の悪化が問題になる。

#### 【0014】

本発明は、斯かる問題に鑑みてなされたものであり、可変抵抗素子及びショットキーダイオードの直列回路をメモリセルとすることにより、読み出しデイスタープの影響を低減したメモリセル及びこのようなメモリセルを備えるメモリ装置を提供することを目的とする。

#### 【0015】

また、本発明の他の目的は、メモリセル形成時の熱処理回数を削減することにより、メモリセルの周辺回路を構成するトランジスタ (MOSFET) の特性への影響を低減できるメモリセル製造方法を提供することにある。

#### 【0016】

##### 【課題を解決するための手段】

本発明に係るメモリセルは、可変抵抗素子と、該可変抵抗素子に流れる電流を制御する電流制御素子とを備えるメモリセルであって、前記電流制御素子はショットキーダイオードであることを特徴とする。

#### 【0017】

本発明に係るメモリセルにおいては、前記可変抵抗素子はペロブスカイト型結晶構造を有する抵抗材料により構成されていることを特徴とする。

#### 【0018】

本発明に係るメモリセルにおいては、前記ショットキーダイオードは、第1導電型の半導体基板に形成された第1導電型とは異なる第2導電型の不純物領域を

第1電極とし、該不純物領域に堆積された金属膜を第2電極とすることを特徴とする。

【0019】

本発明に係るメモリセルにおいては、前記半導体基板はシリコン基板であり、前記ショットキーダイオードは、前記不純物領域と前記不純物領域及び金属膜の間に形成された金属シリサイド膜との間にショットキー障壁を有することを特徴とする。

【0020】

本発明に係るメモリセルにおいては、前記不純物領域は半導体基板に形成された素子分離領域の間に形成されていることを特徴とする。

【0021】

本発明に係るメモリセルにおいては、前記ショットキーダイオードの第2電極には前記可変抵抗素子を構成する可変抵抗膜が自己整合的に堆積されていることを特徴とする。

【0022】

本発明に係るメモリセルにおいては、前記ショットキーダイオードは絶縁膜の上に選択的に形成された多結晶シリコン領域を第1電極とし、該多結晶シリコン領域に堆積された金属膜を第2電極とすることを特徴とする。

【0023】

本発明に係るメモリセルにおいては、前記ショットキーダイオードは前記多結晶シリコン領域と前記多結晶シリコン領域及び金属膜の間に形成された金属シリサイド膜との間にショットキー障壁を有することを特徴とする。

【0024】

本発明に係るメモリ装置は、マトリックス状に配置したワード線及びビット線が交差する位置にメモリセルを配置してあるメモリ装置において、前記メモリセルは可変抵抗素子及び該可変抵抗素子に流れる電流を制御するショットキーダイオードを直列に接続した直列回路を備え、該直列回路の一端は前記ワード線に接続され、直列回路の他端は前記ビット線に接続されていることを特徴とする。

【0025】

本発明に係るメモリ装置においては、前記可変抵抗素子はペロブスカイト型結晶構造を有する抵抗材料により構成されていることを特徴とする。

【0026】

本発明に係るメモリ装置においては、前記ショットキーダイオードの第1電極は前記ワード線に接続され、前記ショットキーダイオードの第2電極は前記可変抵抗素子の一端に接続され、前記可変抵抗素子の他端は前記ビット線に接続されていることを特徴とする。

【0027】

本発明に係るメモリ装置においては、前記ワード線は半導体基板における素子分離領域の間に形成された不純物領域で構成されていることを特徴とする。

【0028】

本発明に係るメモリ装置においては、前記ショットキーダイオードは前記不純物領域を第1電極とし、該不純物領域に堆積された金属膜を第2電極とすることを特徴とする。

【0029】

本発明に係るメモリ装置においては、前記半導体基板はシリコン基板であり、前記ショットキーダイオードは、前記不純物領域と前記不純物領域及び金属膜の間に形成された金属シリサイド膜との間にショットキー障壁を有することを特徴とする。

【0030】

本発明に係るメモリ装置においては、前記ショットキーダイオードの第2電極には前記可変抵抗素子を構成する可変抵抗膜が自己整合的に堆積されていることを特徴とする。

【0031】

本発明に係るメモリ装置においては、前記ワード線は絶縁膜の上に選択的に形成された多結晶シリコン領域で構成されていることを特徴とする。

【0032】

本発明に係るメモリ装置においては、前記ショットキーダイオードは前記多結晶シリコン領域を第1電極とし、前記多結晶シリコン領域に堆積された金属膜を

第2電極とすることを特徴とする。

【0033】

本発明に係るメモリ装置においては、前記ショットキーダイオードは前記多結晶シリコン領域と前記多結晶シリコン領域及び金属膜の間に形成された金属シリサイド膜との間にショットキー障壁を有することを特徴とする。

【0034】

本発明に係るメモリセル製造方法は、半導体基板に可変抵抗素子及びショットキーダイオードの直列回路で構成されるメモリセルを形成するメモリセル製造方法であって、前記半導体基板の一表面に形成された不純物領域が露出する開口部を有する絶縁膜を形成する工程と、前記絶縁膜の開口部に前記可変抵抗素子の電極を構成する金属膜を堆積する工程と、前記金属膜に前記可変抵抗素子の抵抗体を構成する可変抵抗膜を堆積する工程と、熱処理により前記不純物領域と金属膜との間にショットキーダイオードを形成する工程とを含むことを特徴とする。

【0035】

本発明に係るメモリセル製造方法においては、前記可変抵抗膜は開口部において金属膜に自己整合的に堆積されることを特徴とする。

【0036】

本発明に係るメモリセル製造方法においては、前記熱処理の温度は前記可変抵抗膜の結晶性を改善できる温度であることを特徴とする。

【0037】

本発明に係るメモリセル製造方法においては、前記半導体基板はシリコン基板であり、前記ショットキーダイオードは前記不純物領域と前記不純物領域及び金属膜の間に前記熱処理により形成された金属シリサイド膜との間にショットキー障壁を有することを特徴とする。

【0038】

本発明に係るメモリセル製造方法は、半導体基板に可変抵抗素子及びショットキーダイオードで構成されるメモリセルを形成するメモリセル製造方法であって、前記半導体基板の一表面に形成された不純物領域が露出する開口部を有する絶縁膜を形成する工程と、前記絶縁膜の開口部に前記可変抵抗素子の電極を構成す



る金属膜を堆積する工程と、前記金属膜に前記可変抵抗素子の抵抗体を構成する第1膜厚の可変抵抗膜を堆積する工程と、熱処理により前記不純物領域と金属膜との間にショットキーダイオードを形成する工程と、前記第1膜厚の可変抵抗膜に前記抵抗体を構成する第2膜厚の可変抵抗膜を堆積する工程とを含むことを特徴とする。

#### 【0039】

本発明に係るメモリセル製造方法においては、前記熱処理の温度は前記第1膜厚の可変抵抗膜の結晶性を改善できる温度であることを特徴とする。

#### 【0040】

本発明に係るメモリセル製造方法においては、前記半導体基板はシリコン基板であり、前記ショットキーダイオードは前記不純物領域と前記不純物領域及び金属膜の間に前記熱処理により形成された金属シリサイド膜との間にショットキー障壁を有することを特徴とする。

#### 【0041】

本発明に係るメモリセル製造方法においては、第2膜厚の可変抵抗膜を堆積した後、更に熱処理をする工程を含み、該熱処理の温度は前記第2膜厚の可変抵抗膜の結晶性を改善でき、前記金属シリサイド膜の抵抗値を低減できる温度であることを特徴とする。

#### 【0042】

本発明に係るメモリセル製造方法は、半導体基板に可変抵抗素子及びショットキーダイオードの直列回路で構成されるメモリセルを形成するメモリセル製造方法であって、前記半導体基板の一表面に形成された絶縁膜の上に多結晶シリコン領域を選択的に形成する工程と、前記多結晶シリコン領域に前記可変抵抗素子の電極を構成する金属膜を堆積する工程と、前記金属膜に前記可変抵抗素子の抵抗体を構成する可変抵抗膜を堆積する工程と、熱処理により前記多結晶シリコン領域と金属膜との間にショットキーダイオードを形成する工程とを含むことを特徴とする。

#### 【0043】

本発明に係るメモリセル製造方法においては、前記熱処理の温度は前記可変抵

抗膜の結晶性を改善できる温度であることを特徴とする。

【0044】

本発明に係るメモリセル製造方法においては、前記ショットキーダイオードは前記多結晶シリコン領域と前記前記多結晶シリコン領域及び金属膜の間に前記熱処理により形成された金属シリサイド膜との間にショットキー障壁を有することを特徴とする。

【0045】

本発明に係るメモリセル製造方法は、半導体基板に可変抵抗素子及びショットキーダイオードで構成されるメモリセルを形成するメモリセル製造方法であって、前記半導体基板の一表面に形成された絶縁膜の上に多結晶シリコン領域を選択的に形成する工程と、前記多結晶シリコン領域に前記可変抵抗素子の電極を構成する金属膜を堆積する工程と、前記金属膜に前記可変抵抗素子の抵抗体を構成する第1膜厚の可変抵抗膜を堆積する工程と、熱処理により前記多結晶シリコン領域と金属膜との間にショットキーダイオードを形成する工程と、前記第1膜厚の可変抵抗膜に前記抵抗体を構成する第2膜厚の可変抵抗膜を堆積する工程とを含むことを特徴とする。

【0046】

本発明に係るメモリセル製造方法においては、前記熱処理の温度は前記第1膜厚の可変抵抗膜の結晶性を改善できる温度であることを特徴とする。

【0047】

本発明に係るメモリセル製造方法においては、前記ショットキーダイオードは前記多結晶シリコン領域と前記多結晶シリコン領域及び金属膜の間に前記熱処理により形成された金属シリサイド膜との間にショットキー障壁を有することを特徴とする。

【0048】

本発明に係るメモリセル製造方法においては、第2膜厚の可変抵抗膜を堆積した後、更に熱処理をする工程を含み、該熱処理の温度は前記第2膜厚の可変抵抗膜の結晶性を改善でき、前記金属シリサイド膜の抵抗値を低減できる温度であることを特徴とする。

## 【0049】

本発明に係るメモリセル製造方法においては、前記金属膜は高融点金属材料で形成されることを特徴とする。

## 【0050】

本発明に係るメモリセル製造方法においては、前記高融点金属材料はPt、Ti、Co又はNiの中から選択される1以上の金属を含むことを特徴とする。

## 【0051】

本発明にあつては、可変抵抗素子とショットキーダイオードの直列回路をメモリセルとするので、ダイオードの順方向での閾値電圧を低くすることにより、読み出し時のディスタブの生じにくい不揮発性のメモリセル及びこのようなメモリセルを備えたメモリ装置が可能となる。

## 【0052】

本発明にあつては、ペロブスカイト型結晶構造を有する抵抗材料を可変抵抗素子に用いることから抵抗変化率の大きな可変抵抗素子とすることができ、大容量化が可能で電氣的制御の容易なメモリセル及びメモリ装置が可能となる。

## 【0053】

本発明にあつては、半導体基板の不純物領域によりショットキーダイオードの第1電極を構成することから、半導体集積回路化が容易であり、また第2電極を縦方向に堆積して形成することから高集積度のメモリセルが可能となる。また、ショットキーダイオードの第1電極はワード線に兼用できるので高集積度のメモリ装置が可能となる。

## 【0054】

本発明にあつては、ショットキーダイオードの第1電極となるシリコン基板の不純物領域と第2電極となる金属膜との間に金属シリサイド膜を形成し、この金属シリサイド膜とシリコン基板（不純物領域）との間にショットキー障壁を形成することとしたので、ダイオードの順方向の閾値電圧をPN接合ダイオードの順方向の閾値電圧に比較して大きく低減することができる。また、金属シリサイド膜とすることから安定したダイオード特性を得ることができる。

## 【0055】

本発明にあつては、不純物領域を素子分離領域の間に形成することとしたので、ワード線及びショットキーダイオードの第1電極となる不純物領域を正確かつ高集積度に形成することができるので、メモリセル及びメモリ装置の集積度を向上できる。

#### 【0056】

本発明にあつては、ショットキーダイオードの第2電極に可変抵抗膜を自己整合的に形成することとしたので、ショットキーダイオードと可変抵抗素子とを縦方向に正確に位置合わせできるので、可変抵抗素子の抵抗（抵抗値）を正確に制御できると共にメモリセル及びメモリ装置の集積度を向上できる。

#### 【0057】

本発明にあつては、ショットキーダイオードの第1電極を絶縁膜上に選択的に形成した多結晶シリコン領域により構成することとしたので、メモリセル以外の素子の上にメモリセルを積層した構造とすることができ、メモリセル及びメモリ装置の集積度を向上できる。

#### 【0058】

本発明にあつては、ショットキーダイオードの第1電極となる多結晶シリコン領域と第2電極となる金属膜との間に金属シリサイド膜を形成し、この金属シリサイド膜と多結晶シリコン領域との間にショットキー障壁を形成することとしたので、ダイオードの順方向の閾値電圧をPN接合ダイオードの順方向の閾値電圧に比較して大きく低減することができる。また、金属シリサイド膜とすることから安定したダイオード特性を得ることができる。

#### 【0059】

本発明にあつては、ショットキーダイオードを形成するために堆積した金属膜の熱処理と可変抵抗素子の抵抗体を形成するために堆積した可変抵抗膜の結晶性を改善するための熱処理とを同時に行うこととしたので、熱処理回数を低減でき、周辺回路への影響の生じないメモリセル製造方法が可能となる。

#### 【0060】

本発明にあつては、可変抵抗膜の堆積工程を2回に分け、第1膜厚の可変抵抗膜を堆積した後の熱処理により、ショットキーダイオードの形成及び第1膜厚の

可変抵抗膜の結晶性改善を同時に行うこととしたので、熱処理回数を低減でき、周辺回路への影響の生じないメモリセル製造方法が可能となる。また、第1膜厚の可変抵抗膜の結晶性を改善した後に第2膜厚の可変抵抗膜を堆積することとしたので、第2膜厚の可変抵抗膜を第1膜厚の可変抵抗膜の結晶性に応じて堆積することができ、可変抵抗膜全体としての結晶性を更に改善できるメモリセル製造方法が可能となる。

#### 【0061】

本発明にあっては、第2膜厚の可変抵抗膜形成後、更に熱処理することとしたので、ショットキーダイオード（特に金属シリサイド膜の）抵抗を更に低減して低抵抗化でき、また第2膜厚の可変抵抗膜の結晶性を第1膜厚の可変抵抗膜に応じて更に改善することができ、可変抵抗膜全体としての結晶性を大きく改善することができる。

#### 【0062】

##### 【発明の実施の形態】

以下、本発明をその実施の形態を示す図面に基づいて説明する。

図1は本発明に係るメモリ装置の概略構成を示す回路説明図である。同図（a）はメモリセルをマトリックス状に配置したメモリセルアレイとメモリセルに接続されたビット線及びワード線に接続される周辺回路とを示し、（b）は読み出し時の印加電圧の状況を示す図表である。31は電圧の印加により抵抗（抵抗値）が変化する可変抵抗素子であり、32は可変抵抗素子31に流れる電流を制御するショットキーダイオードである。可変抵抗素子31及びショットキーダイオード32は直列に接続されて直列回路、すなわち、本発明に係るメモリセル33を構成する。ここでは説明を簡単にするため3×3のメモリセルアレイを例として示す。可変抵抗素子31は電圧を印加しない状態ではその抵抗を変化させることがなく、抵抗を維持できるから、不揮発性メモリセル（つまり、不揮発性メモリ装置）を構成することができる。

#### 【0063】

メモリ装置にはビット線BL0、BL1、BL2（以下各ビット線の区別が不要の場合は単にビット線BLとする）が列方向に配置され、ビット線BLの一方

の端部はビット線デコーダ 34 へ接続され、他方の端部は読み出し回路 37 へ接続されている。ビット線 BL と交差する行方向にワード線 WL0、WL1、WL2（以下各ワード線の区別が不要の場合は単にワード線 WL とする）が配置され、ワード線 WL の両端はワード線デコーダ 35、36 に接続されている。つまり、ビット線 BL 及びワード線 WL はマトリックス状に配置され、ビット線 BL 及びワード線 WL が交差する位置に各メモリセルが配置されてメモリセルアレイ（メモリ装置）を構成している。

#### 【0064】

ワード線デコーダ 35、36 をワード線 WL の両端に配置することにより、ワード線 WL（例えば偶数番目）及びワード線デコーダ 35 の接続と、ワード線 WL（例えば奇数番目）及びワード線デコーダ 36 の接続を交互にすることができる。これにより、ワード線 WL のピッチを小さくすることができ、更にワード線デコーダ 35、36 の回路配置（回路サイズ）のマージンを大きくすることができる。可変抵抗素子 31 及びショットキーダイオード 32 で構成される直列回路（メモリセル 33）の一端はワード線 WL に接続され、直列回路（メモリセル 33）の他端はビット線 BL に接続されている。ビット線デコーダ 34、ワード線デコーダ 35、36、読み出し回路 37 で周辺回路が構成される。周辺回路には例えば MOSFET（CMOSFET）を用いる。

#### 【0065】

可変抵抗素子 31 は超巨大磁気抵抗や高温超伝導を示すペロブスカイト型結晶構造、2 重整列ペロブスカイト型結晶構造などを有する抵抗材料を抵抗体として備える。具体的な抵抗材料としては、 $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$ （ $0 < x < 1$ ）、 $\text{La}_{(1-x)}\text{Ca}_x\text{MnO}_3$ （ $0 < x < 1$ ）、 $\text{Nd}_{(1-x)}\text{Sr}_x\text{MnO}_3$ （ $0 < x < 1$ ）、 $\text{Sr}_2\text{FeMoO}_6$ 、 $\text{Sr}_2\text{FeWO}_6$  などを用いる。このような抵抗材料により構成された抵抗は、電圧の印加により抵抗（抵抗値）が変化するので、その変化する前後の抵抗（抵抗値）を信号に置き換えることにより、記憶手段として用いることができる。ショットキーダイオード 32 は半導体と金属とを接合してショットキー障壁を形成することにより構成する。半導体としてシリコンを、金属として高融点金属を用いて熱処理することにより、金属シリサイド（高融点金

属シリサイド)を形成し、高融点金属シリサイドとシリコンとの間(界面)にショットキー障壁を形成することができる。例えば、チタンシリサイドとn型シリコンとの界面を有するショットキーダイオードにおいては順方向の閾値電圧として0.2Vを得ることができ、PN接合ダイオードにおける順方向の閾値電圧0.5Vに比較して半分以下になることから、例えばメモリ装置における読み出し障害(読み出しディスタurb)の影響を大きく低減できる。

#### 【0066】

ショットキーダイオード32の第1電極(例えばカソード/陰極)はワード線WLに接続され、ショットキーダイオード32の第2電極(例えばアノード/陽極)は可変抵抗素子31の一端に接続され、可変抵抗素子31の他端はビット線BLに接続されている。

#### 【0067】

メモリ装置における基本動作である書き込み動作、消去動作、読み出し動作について説明する。まず、ビット線BL0、ワード線WL0が交差する位置のメモリセル33を選択セル(被選択セル)として選択し、この選択セルにデータの書き込みをする場合の書き込み方法について説明する。選択セルのビット線BL0には書き込み電圧 $V_w$ (V)(以下電圧の単位(V)は省略する)を、ワード線WL0には電圧0を印加する。これにより、選択セルであるメモリセル33のショットキーダイオード32は順方向にバイアスされ可変抵抗素子31に書き込み電圧 $V_w$ が印加され、抵抗(抵抗値)が変化する。

#### 【0068】

ビット線BL0は共通するが、ワード線WL0は共通しない列方向の他のメモリセル(ビット線BL0及びワード線WL1、WL2が交差する位置に配置接続されたメモリセル)はビット線BL及びワード線WLの中でビット線BLのみが選択された形態となることから、半選択セル(BL選択)という。半選択セル(BL選択)のビット線BL0には選択セルと同様に書き込み電圧 $V_w$ が印加されるが、ワード線WL(ワード線WL1、WL2)には電圧 $V_w/2$ を印加して半選択セル(BL選択)の両端での電位差が $V_w/2$ になるようにする。また、ワード線WL0は共通するが、ビット線BL0は共通しない行方向の他のメモリセ

ル（ワード線WL0及びビット線BL1、BL2が交差する位置に配置接続されたメモリセル）はビット線BL及びワード線WLの中でワード線WLのみが選択された形態となることから、半選択セル（WL選択）という。半選択セル（WL選択）のワード線WL0には選択セルと同様に電圧0が印加されるが、ビット線BL（ビット線BL1、BL2）には電圧 $V_w/2$ を印加して半選択セル（WL選択）の両端での電位差が $V_w/2$ になるようにする。つまり、半選択セルの両端に印加される電位差 $V_w/2$ では可変抵抗素子31への書き込みは行われないうように書き込み電圧 $V_w$ を設定することにより、半選択セルにおける書き込みを防止できる。

#### 【0069】

更に、非選択セル（ビット線BL1、BL2、ワード線WL1、WL2が交差する位置に配置接続されたメモリセル）には、メモリセルの両端に同一の電圧 $V_w/2$ が印加されることになり、メモリセルの両端で電位差は生じないから可変抵抗素子31への書き込みは行われないう。したがって、半選択セル及び非選択セルにおいて書き込みが生じないようにして、選択セルのみに書き込みをすることができる。以上の関係をまとめた図表が同図（b）である。横欄の電圧（BL）はビット線BLに印加する電圧を、電圧（WL）はワード線WLに印加する電圧を示す。縦欄はメモリセルの種類を選択状態により分けた（選択セル、半選択セル（BL選択）、半選択セル（WL選択）、非選択セルの4種類。なお、説明の便宜上、半選択セルを非選択セルと区別したが、半選択セルも非選択セルに含めることができる。）ものである。なお、ショットキーダイオード32の接続方向（整流方向）を適宜逆にすることも可能であり、この場合には印加電圧の方向（極性）を適宜変えることで同様な動作をさせることができる。

#### 【0070】

消去動作は書き込み電圧の印加時間を長くすることにより可能となる。また、読み出し動作は、選択セルのビット線BLに読み出し電圧 $V_r$ を、ワード線WLに電圧0を印加する。非選択セルには書き込み動作の場合と同様に、メモリセルの両端に印加される電位差を $V_r/2$ になるように設定する。つまり、同図（b）における書き込み電圧 $V_w$ を読み出し電圧 $V_r$ に置き換えれば良い。



## 【0071】

## (実施の形態1)

図2～図8は本発明に係るメモリセル製造方法の実施の形態1における製造工程を説明する説明図である。各図において、メモリセルが形成されるメモリセル領域(以下、メモリ領域という)を左側に、周辺回路が形成される周辺回路領域(以下、周辺領域という)を右側に示す。各図は製造工程におけるメモリセル(ショットキーダイオード及び可変抵抗素子の直列回路)及び周辺回路(周辺回路において用いられるNチャネルMOSFETを代表例として示す)の断面構造を示す。図において断面を表すための斜線は適宜省略する。MOSFETは通常PチャネルMOSFETとNチャネルMOSFETとを組み合わせるCMOSFET構成とするが、簡単のためにNチャネルMOSFETのみを示す。

## 【0072】

図2は半導体基板に素子分離領域、ショットキーダイオードの第1電極、NチャネルMOSFETを形成した状態を示す。半導体基板(以下、基板という)1に素子分離領域2を適宜のパターンで形成する。基板1は例えば第1導電型(p型)のシリコン単結晶である。また、基板1は絶縁基板上に形成された半導体膜などであっても良い。素子分離領域2は例えばシリコン酸化膜( $\text{SiO}_2$ )などで構成される。メモリ領域において、素子分離領域2の間に基板1と異なる第2導電型(n型)のイオン種を用いてイオン注入することにより不純物領域10を自己整合的に形成することができる。不純物領域10は後の工程で形成されるショットキーダイオードの第1電極及びワード線WLともなる。不純物領域10は素子分離領域2の間に自己整合的に形成できることから、高密度に形成でき、高集積度のメモリセルを形成できる。ここでは3つの不純物領域10(3本のワード線WLに相当する)を例示する。不純物領域10は素子分離領域2の間に自己整合的に形成されることから、正確なパターンで形成することができ、ショットキーダイオードの特性を確実に揃えることができる。メモリ領域においては、不純物領域10の形成に加えて例えばシリコン酸化膜などの絶縁膜11を形成する。絶縁膜11はメモリ領域における素子分離領域2及び不純物領域10を被覆して周辺領域に対するプロセス処理による影響をメモリ領域が受けないようにでき

る。

#### 【0073】

周辺領域において、通常のCMOSプロセス工程に従ってNチャネルMOSFET（以下、MOSFETという）を形成する。素子分離領域2によって囲まれたMOSFET領域のチャネル部に基板1と異なる第2導電型のイオン種を用いてイオン注入を行い、チャネル濃度の制御を行う。次に、ゲート絶縁膜3を熱酸化等により形成した後、LP-CVD法などで多結晶シリコンを堆積する。フォトリソグラフィ技術により多結晶シリコンをパターンニングして多結晶シリコンで構成されるゲート電極4を形成する。ゲート電極4のチャネル長さ方向の寸法は通常、最小加工寸法にして集積度の向上を図る。ゲート電極4のチャネル長さ方向の端部に対応する基板1に、第2導電型のイオン種をイオン注入して低濃度のLDD領域5を形成する。その後、MOSFET領域にシリコン酸化膜を堆積しエッチバックすることによりサイドウォール6を形成する。次に、第2導電型のイオン種を高濃度でイオン注入して、ソース領域7及びドレイン領域8を形成する。ソース領域7及びドレイン領域8に自己整合的にシリサイドを形成（つまり、サリサイドを形成）するために、ゲート電極4、ソース領域7及びドレイン領域8のシリコン表面を露出させた後、基板1の全面に例えばコバルト（Co）膜を堆積して、ランプアニール等を用いて加熱する。加熱により、コバルトとシリコンとが反応してコバルトシリサイド膜9が形成される。なお、絶縁膜11の表面に堆積したコバルトは加熱によってもシリコン酸化膜とは反応しないのでメモリ領域にはコバルトシリサイドは形成されない。加熱後、未反応のコバルト膜は適宜除去する。

#### 【0074】

図3はメモリセル形成のために層間絶縁膜にショットキーダイオードの電極用の開口部を形成した状態を示す。例えばシリコン酸化膜からなる絶縁膜12を層間絶縁膜として形成し、CMP（化学的機械研磨）法で平坦化した後、メモリ領域の絶縁膜12に開口部12wを形成する。なお、開口部12wは適宜不純物領域10に位置合わせして形成する。

#### 【0075】

図4はショットキーダイオードの第2電極を形成した状態を示す。開口部12wにショットキーダイオードの第2電極及び可変抵抗素子の下部電極を兼ねる金属膜14をCMP法またはエッチバック法などを用いて埋め込み形成（堆積）する。埋め込みの深さは開口部12wの上端より基板1の側に金属膜14の上端がくるように形成する。つまり金属膜14は開口部12wの上端部が残るように開口部12wの高さより低く形成する。開口部12wの上端部が残ることから、次の工程（図5）で形成する可変抵抗膜15L（抵抗体15）を開口部12w（金属膜14）に自己整合的に形成することができる。金属膜14の材料は、後に形成する可変抵抗膜15Lの材料との接着性、安定性などから、例えば高融点金属材料、特にPt、Ti、Co、Niのうちいずれかであること、あるいはこれらの適宜な組合せであることが好ましい。

#### 【0076】

図5は可変抵抗膜を堆積した状態を示す。開口部12wの上端部を埋め込むようにして可変抵抗膜15Lを堆積する。可変抵抗膜15Lの膜厚は後述する抵抗体15の抵抗が所定の値となるように適宜決定する。可変抵抗膜15Lとして、例えば $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$ （ $0 < x < 1$ ）（以下、PCMOという）を用いる。可変抵抗膜15Lは第1可変抵抗膜15a及び第2可変抵抗膜15bの積層構造とする。まず、PCMOを可変抵抗膜15Lの膜厚より薄い第1膜厚となるように堆積して第1可変抵抗膜15aを形成し、第1温度で熱処理を行う。第1温度での熱処理は、MOSFET、不純物領域10などへの影響を低減するためRTA（Rapid Thermal Anneal）法などを用いて短時間で急速に行う。第1温度は、金属膜14（ショットキーダイオードの第2電極及び可変抵抗素子の下部電極）が不純物領域10（シリコン）と反応して金属シリサイド（高融点金属シリサイド）となり、金属シリサイド膜16が形成できる温度（例えばPtの場合、約800℃）であること、及び第1可変抵抗膜15aの結晶性が向上する温度（例えばPCMOの場合、約600℃）であることという条件を満たすことが必要である。

#### 【0077】

つまり、この条件を満たす第1温度において熱処理を行うことにより、金属シ

リサイド膜 16 を形成し、併せて第 1 可変抵抗膜 15 a の結晶性を改善する。金属シリサイド膜 16 が形成される結果、金属シリサイド膜 16 と不純物領域 10 との間にはショットキー障壁が形成され不純物領域 10 を第 1 電極、金属膜 14 (金属シリサイド膜 16) を第 2 電極とするショットキーダイオードが形成される。なお、ショットキーダイオードの第 1 電極である不純物領域 10 は n 型であるから陰極となり、ショットキーダイオードの第 2 電極である金属膜 14 は陽極となる。

#### 【0078】

第 1 温度での熱処理の後、第 1 可変抵抗膜 15 a の第 1 膜厚と合せて可変抵抗膜 15 L の膜厚となるように PCMO を堆積して第 2 膜厚の第 2 可変抵抗膜 15 b を形成し、第 2 温度で熱処理を行う。第 2 温度の熱処理で、第 1 温度の熱処理により形成された金属シリサイド膜 16 を低抵抗化し、併せて第 1 可変抵抗膜 15 a の結晶性に応じて堆積された第 2 可変抵抗膜 15 b の結晶性を更に改善する。第 2 温度は、金属シリサイド膜 16 を低抵抗化できる温度であること、及び第 2 可変抵抗膜 15 b の結晶性が改善される温度であることという条件を満たすことが必要である。第 2 温度は、第 1 温度と同じであっても良いし、第 1 温度以下でもよい。第 1 可変抵抗膜 15 a の第 1 膜厚は第 2 可変抵抗膜 15 b の第 2 膜厚より薄いことが結晶性の良い可変抵抗膜 15 L を形成するために好ましい。ここで、可変抵抗膜 15 L を 2 回に分けて堆積 (成膜) する理由は、第 2 可変抵抗膜 15 b が、下地の第 1 可変抵抗膜 15 a の結晶性を反映して成膜されるため、1 回で成膜する場合に比較して更に結晶性がよくなるためである。なお、可変抵抗膜 15 L を 2 回に分けて成膜する場合について説明したが、1 回で成膜するようにしてもよい。その場合には、可変抵抗膜 15 L を 1 回の堆積処理で所定の膜厚になるように成膜した後、1 回の熱処理により、可変抵抗膜 15 L の結晶性を改善すると同時に、金属シリサイド膜 16 を形成してショットキーダイオードを形成する。

#### 【0079】

図 6 は可変抵抗素子を形成した状態を示す。第 2 温度での熱処理をした後、可変抵抗膜 15 L の上に Pt 膜 17 a と TiN 膜 17 b の積層膜としての金属膜 1

7を全面に堆積する。その後、フォトリソグラフィと異方性エッチング技術を用いてTiN膜17b、Pt膜17aを順次加工し、加工されたPt/TiN (Pt膜17a、TiN膜17b)をマスクにして可変抵抗膜15Lをエッチング加工して、抵抗体15を形成する。加工されたPt/TiNをマスクとして可変抵抗膜15Lを加工することから、抵抗体15と金属膜17とは自己整合的に形成される。

#### 【0080】

抵抗体15の一端に接続された金属膜14を下部電極とし、抵抗体15の他端に接続された金属膜17を上部電極とする可変抵抗素子が形成される。金属膜14はショットキーダイオードの第2電極でもあるから、ショットキーダイオードの第2電極は可変抵抗素子の一端に自己整合的に接続された形態となり、ショットキーダイオードと可変抵抗素子を確実に位置合わせして形成でき、集積度を更に向上できる。金属膜14と抵抗体15は自己整合的に位置合わせされていることから可変抵抗素子の下部電極の電極面積を正確に制御することになり、抵抗(抵抗値)の制御を正確にすることができる。また、金属膜17と抵抗体15においても自己整合的に位置合わせされていることから抵抗の制御を正確にすることができると共に集積度を更に向上できる。

#### 【0081】

図7は配線を形成する前に表面を平坦化した状態を示す。絶縁膜12、金属膜17の上に、例えばシリコン酸化膜からなる絶縁膜18を層間絶縁膜として堆積し、CMP法などにより平坦化する。

#### 【0082】

図8は配線を形成した状態を示す。例えばタングステンによるダマシン技術を用いてタングステン配線19を形成した状態を示す。以上のようにして、周辺領域の素子とメモリ領域の素子とは相互に影響を及ぼすこと無しに、それぞれを形成することができる。メモリ領域にはビット線BLとしてタングステン配線19 (BL)、ワード線WLとして不純物領域10 (WL)が形成され、このワード線WLとビット線BLの交差する位置にあるメモリセルを選択して書き込み、消去、読み出し動作を行うことができる。また、周辺領域には回路配線としてタン

グステン配線 19 (WP) が形成され、メモリ装置に必要な信号の処理を行うことができる。

### 【0083】

(実施の形態 2)

図 9～図 16 は本発明に係るメモリセル製造方法の実施の形態 2 における製造工程を説明する説明図である。各図において、メモリセルが形成されるメモリセル領域 (以下、メモリ領域という) を左側に、周辺回路が形成される周辺回路領域 (以下、周辺領域という) を右側に示す。各図は製造工程におけるメモリセル (ショットキーダイオード及び可変抵抗素子の直列回路) 及び周辺回路 (周辺回路において用いられる N チャンネル MOSFET を代表例として示す) の断面構造を示す。なお、メモリ領域において、メモリセルの下部にも周辺回路 (周辺回路の一部など) を設けることが可能であり、周辺回路の例としてメモリセルの下部に MOSFET を形成する場合を示す。図において断面を表すための斜線は適宜省略する。MOSFET は通常 P チャンネル MOSFET と N チャンネル MOSFET とを組み合わせる CMOS 構成とするが、簡単のために N チャンネル MOSFET のみを示す。実施の形態 1 と同一部分には同一符号 (一部の符号は省略) を付して詳細な説明は省略する。また、実施の形態 1 の場合と同様、基板 1 は絶縁基板上に形成された半導体膜などであっても良い。

### 【0084】

図 9 は N チャンネル MOSFET を形成した後、表面を平坦化した状態を示す。N チャンネル MOSFET (以下、MOSFET という) を形成した後、絶縁膜 12、ストッパ膜 20 及び絶縁膜 21 を積層した状態を示す。例えばシリコン酸化膜からなる絶縁膜 12 を層間絶縁膜として形成し、CMP (化学的機械研磨) 法で平坦化した後、エッチングに対するストッパとなる窒化膜 (SiN) をストッパ膜 20 として形成する。なお、絶縁膜 12 を形成するまでの工程は、メモリ領域及び周辺領域いずれにおいても図 2 及び図 3 (実施の形態 1) における周辺領域の形成工程と同様である。ストッパ膜 20 に続いて、例えばシリコン酸化膜からなる絶縁膜 21 を層間絶縁膜として形成する。

### 【0085】

図10は層間絶縁膜にメモリセル形成のための開口部及びMOSFETへのコンタクト形成のための開口部を形成した状態を示す。ストップパ膜20をストップパとして用い、フォトリソグラフィと異方性エッチングによって絶縁膜21を所定のパターンにエッチングする。つまり、メモリ領域においては後の工程で形成する多結晶シリコン領域22e（図11）を形成するための開口部21wを形成し、周辺領域においては後の工程で形成するソース電極22s、ドレイン電極22d（図11）を形成するための開口部21wを形成する。その後、周辺領域においては、更にソース領域7及びドレイン領域8へのコンタクトを取るために、ストップ20を部分的に除去し、ソース領域7及びドレイン領域8への開口部（コンタクト用窓部）を形成する。

#### 【0086】

図11は開口部へ多結晶シリコンを堆積（充填）した状態を示す。絶縁膜21に形成した所定のパターンの開口部21wに多結晶シリコン（22e、22s、22d）を埋め込み形成（堆積）する。例えばリンを高濃度に含む多結晶シリコンを全面に堆積し、CMP法又はエッチバックで平坦化することにより、メモリ領域においては多結晶シリコン領域22eを、周辺領域においては多結晶シリコンにより構成されるソース電極22s、ドレイン電極22dをそれぞれの開口部21wに対して選択的に形成する。不純物としてリンを高濃度に含む多結晶シリコンとするのは、多結晶シリコン領域22eはショットキーダイオードの第1電極（及びワード線WL）となり、ソース電極22s、ドレイン電極22dと共に低抵抗であることが好ましいからである。多結晶シリコン領域22eは不純物としてリンを含むことからn型となる。

#### 【0087】

図12は可変抵抗膜を堆積した状態を示す。平坦化された絶縁膜21、多結晶シリコン領域22e、ソース電極22s及びドレイン電極22dの表面にショットキーダイオードの第2電極及び可変抵抗素子の下部電極を兼ねる金属膜23Lを堆積する。なお、金属膜23Lは、ソース電極22s及びドレイン電極22dの表面では原則的に不要であり、堆積しないようにしても良い。金属膜23Lの材料としては、後に形成する可変抵抗膜24L（24a、24b）の材料との接

着性、安定性などから、例えば高融点金属材料、特にPt、Ti、Co、Niのうちいずれかであること、あるいはこれらの適宜な組合せであることが好ましい。なお、実施の形態1の場合と同様に、絶縁膜21の開口部に対して多結晶シリコン膜22e、金属膜23Lを埋め込み形成し、更に開口部に対して可変抵抗膜24L(24a、24bの内金属膜23L側の24b)を自己整合するように形成しても良い。

#### 【0088】

金属膜23Lを堆積した後、可変抵抗膜24Lを堆積する。可変抵抗膜24Lの膜厚は後述する抵抗体24の抵抗が所定の値となるように適宜決定する。可変抵抗膜24Lとして、例えば $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$  ( $0 < x < 1$ ) (以下、PCMOという)を用いる。可変抵抗膜24Lは第1可変抵抗膜24a及び第2可変抵抗膜24bの積層構造とする。先ず、PCMOを可変抵抗膜24Lの膜厚より薄い第1膜厚となるように堆積して第1可変抵抗膜24aを形成し、第1温度で熱処理を行う。第1温度での熱処理は、MOSFET、多結晶シリコン領域22eなどへの影響を低減するためRTA法などを用いて短時間で急速に行う。第1温度は、第1の実施の形態と同様、金属膜23L(ショットキーダイオードの第2電極及び可変抵抗素子の下部電極)が多結晶シリコン領域22eと反応して金属シリサイド(高融点金属シリサイド)となり、金属シリサイド膜25が形成できる温度(例えばPtの場合、約800℃)であること、及び第1可変抵抗膜24aの結晶性が向上する温度(例えばPCMOの場合、約600℃)であることという条件を満たすことが必要である。

#### 【0089】

つまり、この条件を満たす第1温度において熱処理を行うことにより、金属シリサイド膜25を形成し、併せて第1可変抵抗膜24aの結晶性を改善する。金属シリサイド膜25が形成される結果、金属シリサイド膜25と多結晶シリコン領域22eとの間にはショットキー障壁が形成され多結晶シリコン領域22eを第1電極、金属膜23L(金属シリサイド膜25)を第2電極とするショットキーダイオードが形成される。なお、ショットキーダイオードの第1電極である多結晶シリコン領域22eはn型であるから陰極となり、ショットキーダイオード



の第2電極である金属膜23Lは陽極となる。多結晶シリコン領域22e及び金属シリサイド膜25は開口部に対して自己整合的に一致して形成されるので、正確なパターンで形成することができ、ショットキーダイオードの特性を確実に揃えることができる。

#### 【0090】

第1温度での熱処理の後、第1可変抵抗膜24aの第1膜厚と合せて可変抵抗膜24Lの膜厚となるようにPCMOを堆積して第2膜厚の第2可変抵抗膜24bを形成し、第2温度で熱処理を行う。第2温度の熱処理で、第1温度の熱処理により形成された金属シリサイド膜25を低抵抗化し、併せて第1可変抵抗膜24aの結晶性に応じて堆積された第2可変抵抗膜25bの結晶性を更に改善する。第2温度は、金属シリサイド膜25を低抵抗化できる温度であること、及び第2可変抵抗膜24bの結晶性が改善される温度であることという条件を満たすことが必要である。第2温度は、第1温度と同じであっても良いし、第1温度以下でもよい。第1可変抵抗膜24aの第1膜厚は第2可変抵抗膜24bの第2膜厚より薄いことが結晶性の良い可変抵抗膜24Lを形成するために好ましい。ここで、可変抵抗膜24Lを2回に分けて堆積（成膜）する理由は、第2可変抵抗膜24bが、下地の第1可変抵抗膜24aの結晶性を反映して成膜されるため、1回で成膜する場合に比較して更に結晶性がよくなるためである。なお、可変抵抗膜24Lを2回に分けて成膜する場合について説明したが、1回で成膜するようにしてもよい。その場合には、可変抵抗膜24Lを1回の堆積処理で所定の膜厚になるように成膜した後、1回の熱処理により、可変抵抗膜24Lの結晶性を改善すると同時に、金属シリサイド膜25を形成してショットキーダイオードを形成する。

#### 【0091】

図13は可変抵抗素子の上部電極となる金属膜を堆積した状態を示す。可変抵抗膜24Lの全面に可変抵抗素子の上部電極を兼ねる金属膜26Lを堆積する。金属膜26Lの材料としては、可変抵抗膜24Lの材料との接着性、安定性などから、例えば高融点金属材料、特にPt、Ti、Co、Niのうちいずれかであること、あるいはこれらの適宜な組合せであることが好ましい。ここでは金属膜

26LはPt膜とした。次に金属膜26Lをエッチングする際のハードマスクエッチング用のマスクとして、TiN膜であるハードマスク膜27Lを金属膜26Lの全面に堆積して、金属膜26L及びハードマスク膜27Lの積層膜を形成する。

#### 【0092】

図14は可変抵抗素子を形成した状態を示す。図13の工程の後、フォトリソグラフィと異方性エッチング技術を用いてハードマスク膜27Lを加工し、所定のパターン（可変抵抗素子の上部電極のパターン）のハードマスク27を形成する。次にハードマスク27をマスクにして金属膜26L、可変抵抗膜24L及び金属膜23Lをエッチングして、可変抵抗素子の上部電極としての金属膜26（及びハードマスク27）、抵抗膜24及び可変抵抗素子の下部電極としての金属膜23を形成する。

#### 【0093】

金属膜23はショットキーダイオードの第2電極でもあるから、ショットキーダイオードの第2電極は可変抵抗素子の一端に自己整合的に接続された形態となり、ショットキーダイオードと可変抵抗素子を確実に位置合わせして形成でき、集積度を更に向上できる。金属膜26、抵抗膜24及び金属膜23はハードマスク27をマスクとして自己整合的に形成されることから可変抵抗素子の上部電極、抵抗膜及び下部電極の電流方向での面積を正確に一致させることができるので、抵抗（抵抗値）の制御を正確にすることができると共に更に集積度を向上できる。なお、周辺領域に堆積した金属膜23L、可変抵抗膜24L、金属膜26L及びハードマスク膜27Lはエッチングして除去する。

#### 【0094】

図15は配線を形成する前に表面を平坦化した状態を示す。例えばシリコン酸化膜からなる絶縁膜28を層間絶縁膜として堆積し、CMP法などにより平坦化する。

#### 【0095】

図16は配線を形成した状態を示す。図15において形成した絶縁膜28に、可変抵抗素子の上部電極である金属膜26（ハードマスク27）及びMOSFE

Tのソース電極22s、ドレイン電極22dに対応させて開口部（ビアホール）を形成する。開口部に例えばタングステンを堆積してタングステンプラグ29を形成する。その後、例えばTiN膜30a、AlCu膜30b、TiN膜30cの3層膜で構成される金属配線膜を堆積し、所定の配線パターンに対応させて金属配線膜をパターンニングすることにより、タングステンプラグ29に対して適宜接続された金属配線30を形成する。

#### 【0096】

以上のようにして、周辺領域の素子とメモリ領域の素子とは相互に影響を及ぼすこと無しに、それぞれを形成することができる。メモリ領域にはビット線BLとして金属配線30（BL）、ワード線WLとしての多結晶シリコン領域22e（WL）が形成され、このワード線WLとビット線BLの交差する位置にあるメモリセルを選択して書き込み、消去、読み出し動作を行うことができる。また、周辺領域には回路配線として金属配線30（CP）が形成され、メモリ装置に必要な信号の処理を行うことができる。

#### 【0097】

##### 【発明の効果】

以上に詳述した如く、本発明にあつては、電圧印加によって抵抗値が変化する可変抵抗材料を用いて形成された可変抵抗素子とショットキーダイオードとの直列回路により構成されるメモリセル及びこのようなメモリセルを備えるメモリ装置とすることにより、読み出しデイスターブの影響を低減できる。

#### 【0098】

本発明にあつては、半導体基板の不純物領域又は絶縁膜上に選択的に形成した多結晶シリコン領域によりショットキーダイオードの第1電極を構成することからメモリセルの集積度を向上できる。また、可変抵抗膜をショットキーダイオードの第2電極に自己整合的に形成することから、可変抵抗素子の抵抗を正確に制御できると共に集積度を向上したメモリセル及びメモリ装置とすることができる。

#### 【0099】

本発明にあつては、金属シリサイド膜とシリコンとの間のショットキー障壁に

よりショットキーダイオードを構成するので、ダイオードの順方向閾値の低減を容易に実現でき、また安定したダイオード特性を得ることができる。

#### 【0100】

本発明にあっては、単一の熱処理により、ショットキーダイオードの形成と可変抵抗膜の結晶性の改善とを同時に行うので、熱処理回数を低減でき、周辺回路への影響の少ないメモリセル製造方法とすることができ、周辺回路の集積度を向上できる。また、可変抵抗膜の堆積を2回に分けて行うことから、ショットキーダイオードの特性（抵抗）と可変抵抗膜の結晶性とを更に向上できるメモリセル製造方法とすることができ。

#### 【図面の簡単な説明】

##### 【図1】

本発明に係るメモリ装置の概略構成を示す回路説明図である。

##### 【図2】

本発明に係るメモリセル製造方法の実施の形態1における製造工程を説明する説明図である。

##### 【図3】

本発明に係るメモリセル製造方法の実施の形態1における製造工程を説明する説明図である。

##### 【図4】

本発明に係るメモリセル製造方法の実施の形態1における製造工程を説明する説明図である。

##### 【図5】

本発明に係るメモリセル製造方法の実施の形態1における製造工程を説明する説明図である。

##### 【図6】

本発明に係るメモリセル製造方法の実施の形態1における製造工程を説明する説明図である。

##### 【図7】

本発明に係るメモリセル製造方法の実施の形態1における製造工程を説明する

説明図である。

【図 8】

本発明に係るメモリセル製造方法の実施の形態 1 における製造工程を説明する説明図である。

【図 9】

本発明に係るメモリセル製造方法の実施の形態 2 における製造工程を説明する説明図である。

【図 10】

本発明に係るメモリセル製造方法の実施の形態 2 における製造工程を説明する説明図である。

【図 11】

本発明に係るメモリセル製造方法の実施の形態 2 における製造工程を説明する説明図である。

【図 12】

本発明に係るメモリセル製造方法の実施の形態 2 における製造工程を説明する説明図である。

【図 13】

本発明に係るメモリセル製造方法の実施の形態 2 における製造工程を説明する説明図である。

【図 14】

本発明に係るメモリセル製造方法の実施の形態 2 における製造工程を説明する説明図である。

【図 15】

本発明に係るメモリセル製造方法の実施の形態 2 における製造工程を説明する説明図である。

【図 16】

本発明に係るメモリセル製造方法の実施の形態 2 における製造工程を説明する説明図である。

【図 17】

可変抵抗素子での印加パルス数と抵抗との関係を示すグラフである。

【図 18】

可変抵抗素子での印加パルス数と抵抗との関係を示すグラフである。

【図 19】

可変抵抗素子での印加パルス極性と抵抗との関係を示すグラフである。

【図 20】

可変抵抗素子での印加パルス極性と抵抗との関係を示すグラフである。

【符号の説明】

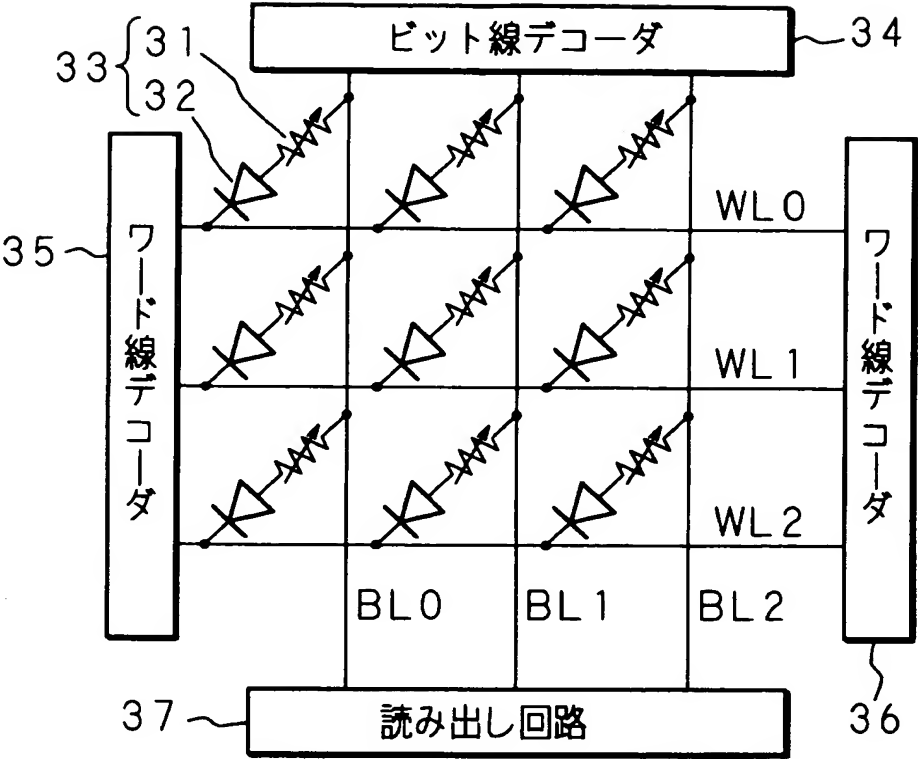
- 1 半導体基板（基板）
- 2 素子分離領域
- 10 不純物領域
- 11 絶縁膜
- 12 絶縁膜
- 13 開口部
- 14 金属膜
- 15 抵抗体
- 15L 可変抵抗膜
- 15a 第1可変抵抗膜
- 15b 第2可変抵抗膜
- 16 金属シリサイド膜
- 17 金属膜
- 18 絶縁膜
- 19 タングステン配線
- 20 ストップパ膜
- 21 絶縁膜
- 22e 多結晶シリコン領域
- 23 金属膜
- 23L 金属膜
- 24 抵抗体

- 24L 可変抵抗膜
- 24a 第1可変抵抗膜
- 24b 第2可変抵抗膜
- 25 金属シリサイド膜
- 26 金属膜
- 26L 金属膜
- 27 ハードマスク
- 27L ハードマスク膜
- 28 絶縁膜
- 29 タングステンプラグ
- 30 金属配線
- 31 可変抵抗素子
- 32 ショットキーダイオード
- 33 メモリセル
- 34 ビット線デコーダ
- 35、36 ワード線デコーダ
- BL (BL0、BL1、BL2) ビット線
- WL (WL0、WL1、WL2) ワード線

【書類名】 図面

【図 1】

(a)

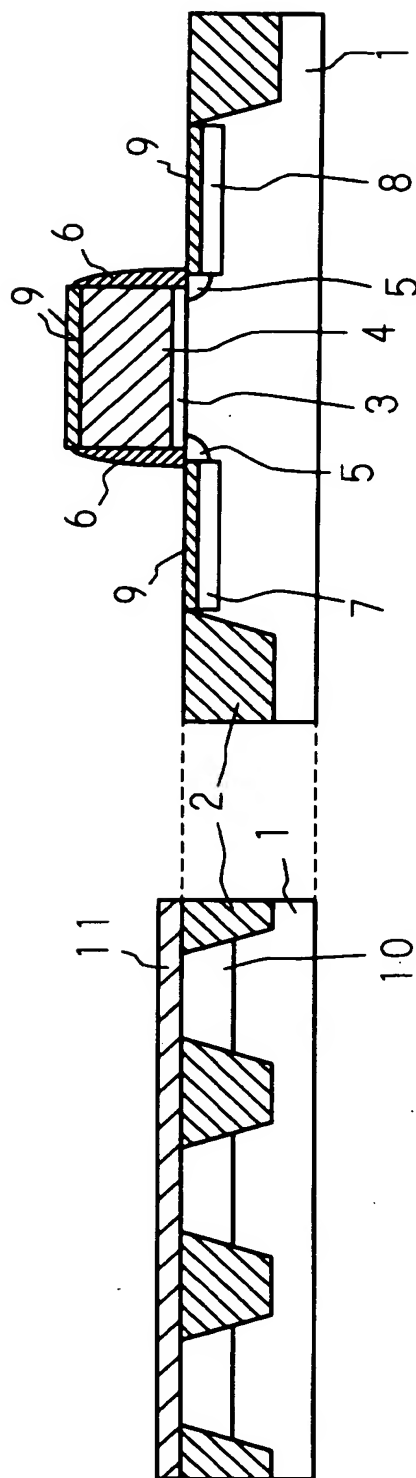


(b)

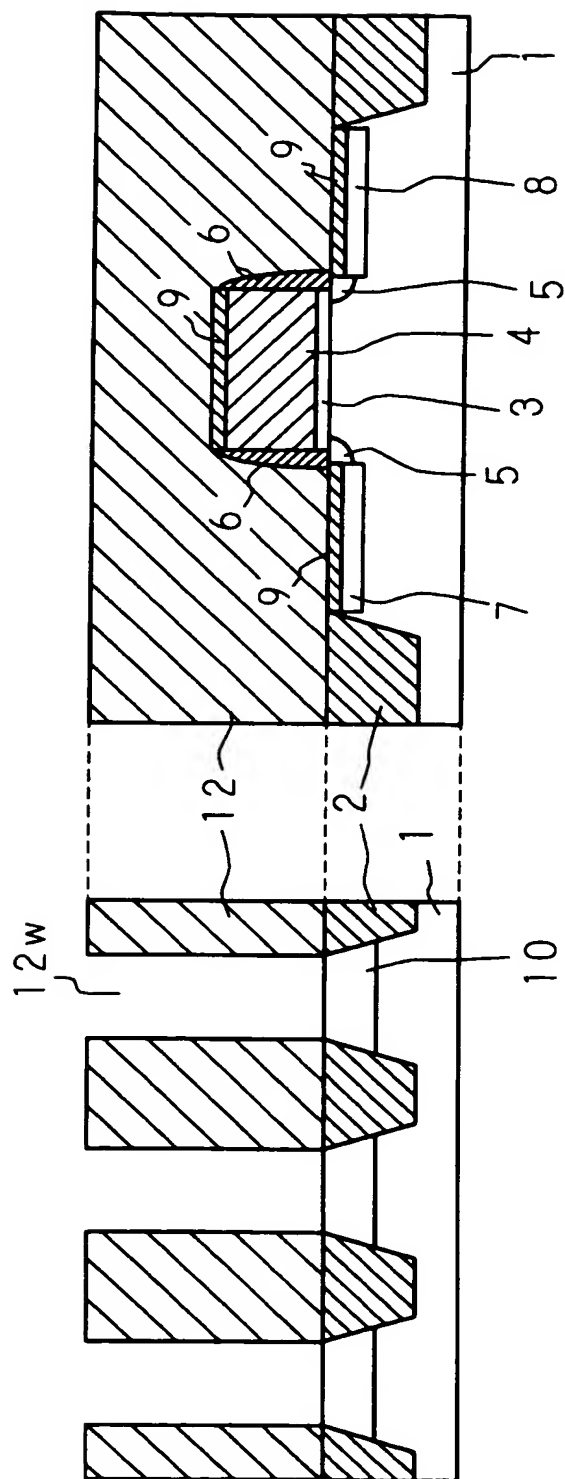
	電圧 (BL)	電圧 (WL)
選択セル	$V_w$ ←	0 ←
半選択セル (BL 選択)	$V_w$ ←	$V_w/2$ ←
半選択セル (WL 選択)	$V_w/2$	0 ←
非選択セル	$V_w/2$	$V_w/2$



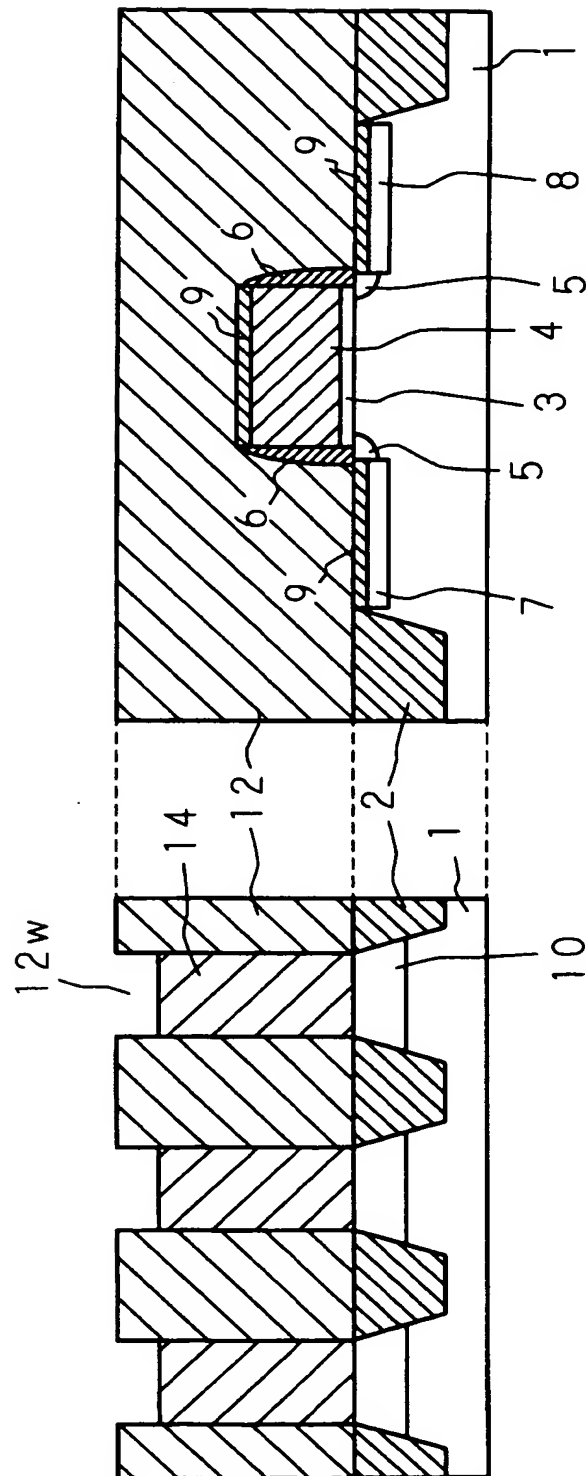
【図 2】



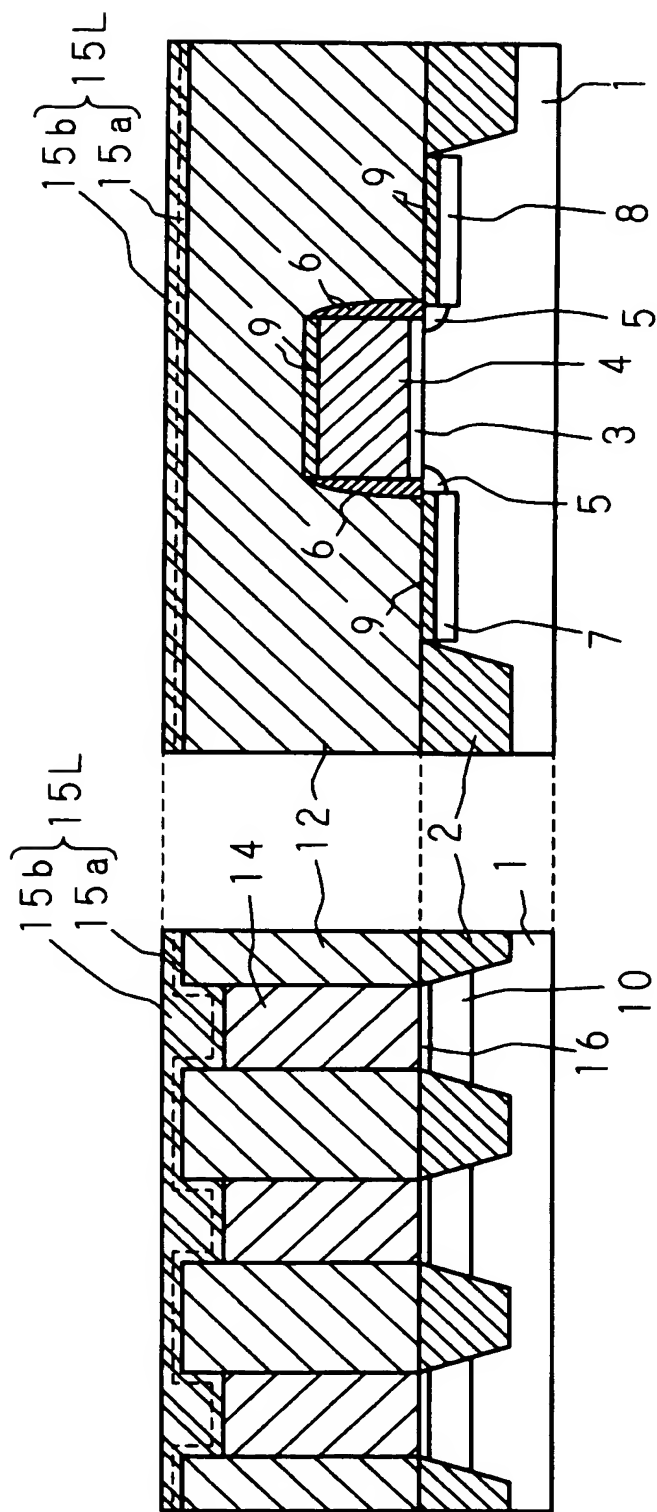
【図 3】



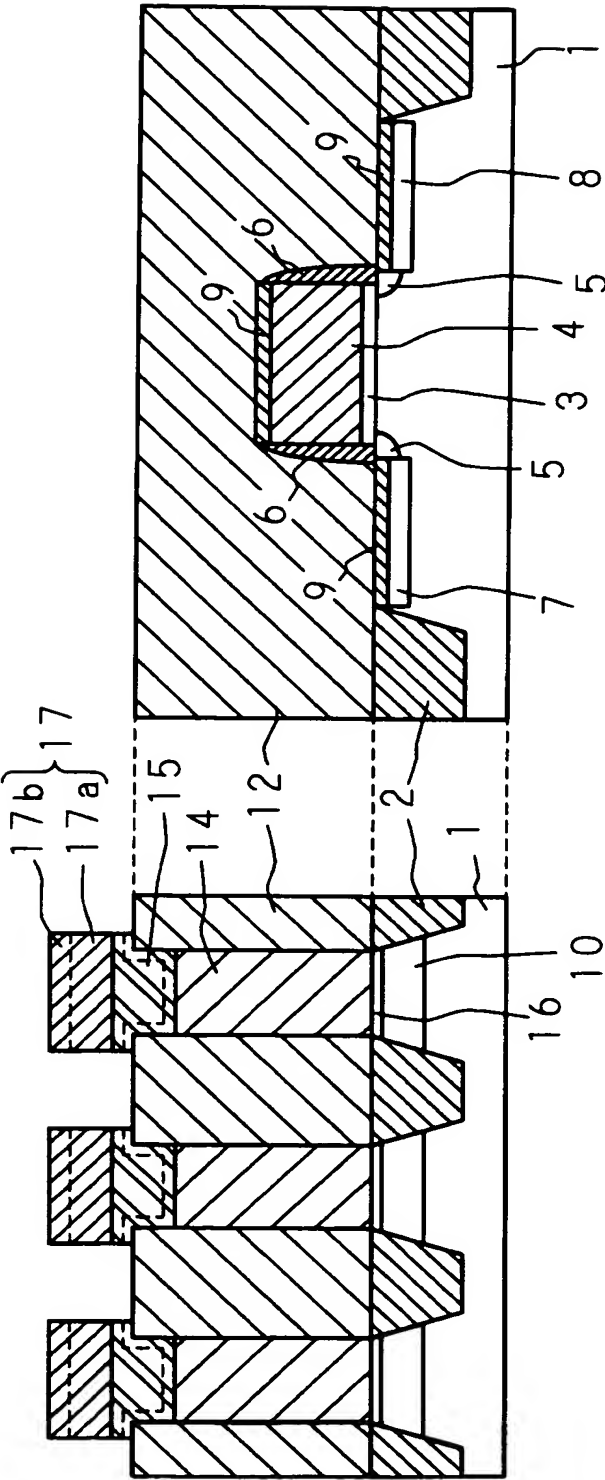
【図 4】



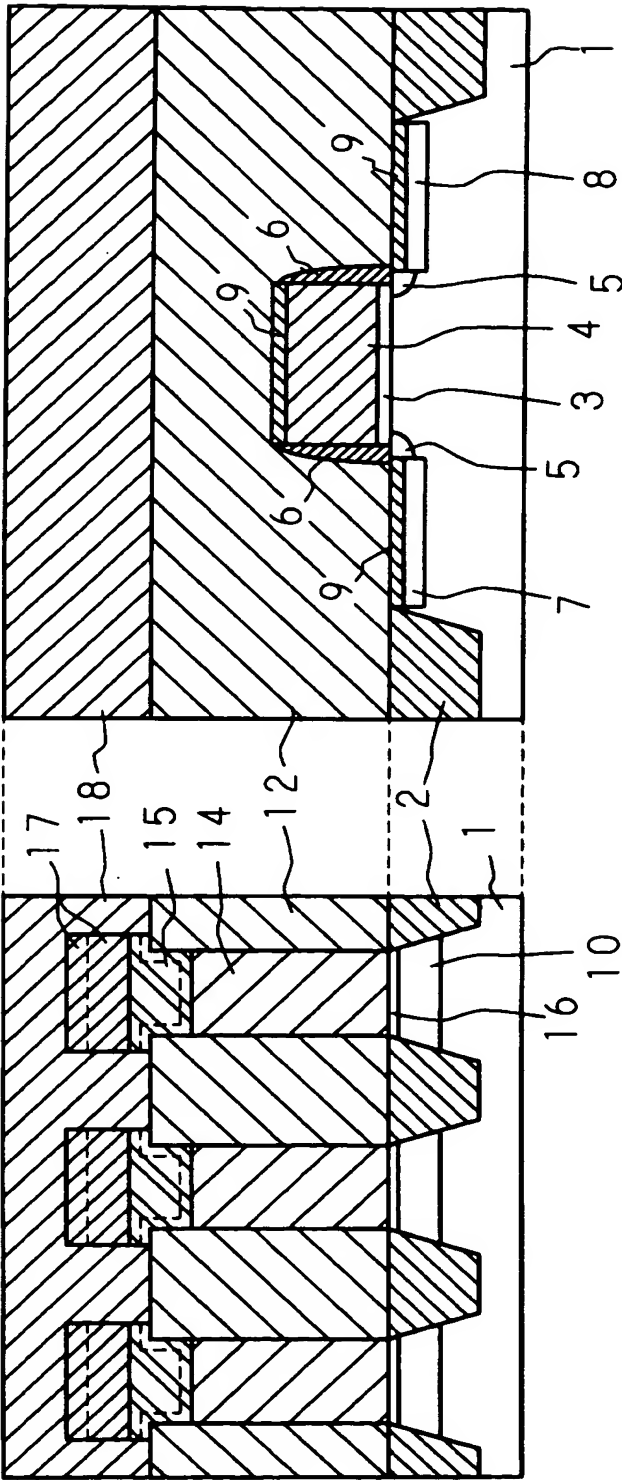
【図 5】



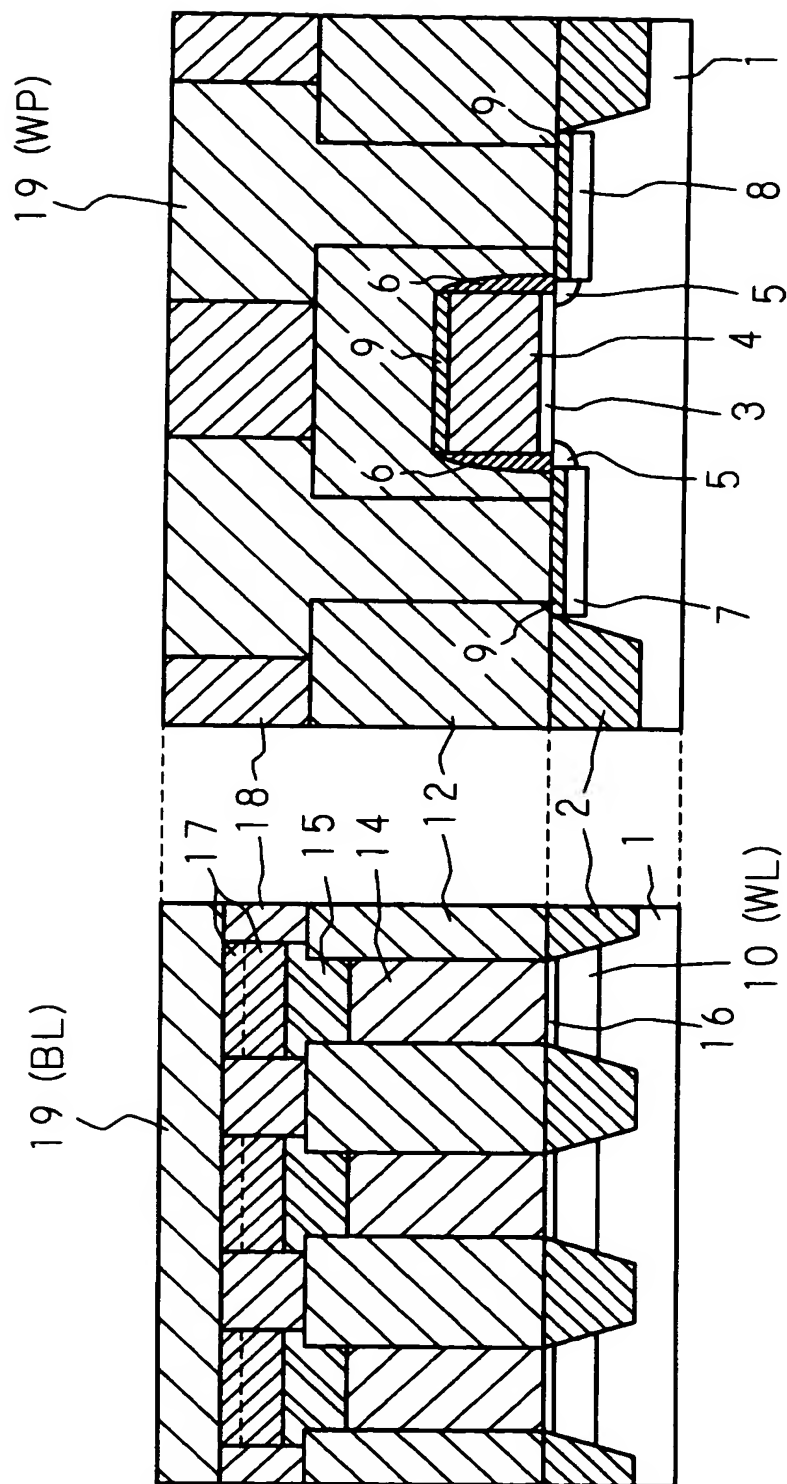
【図 6】



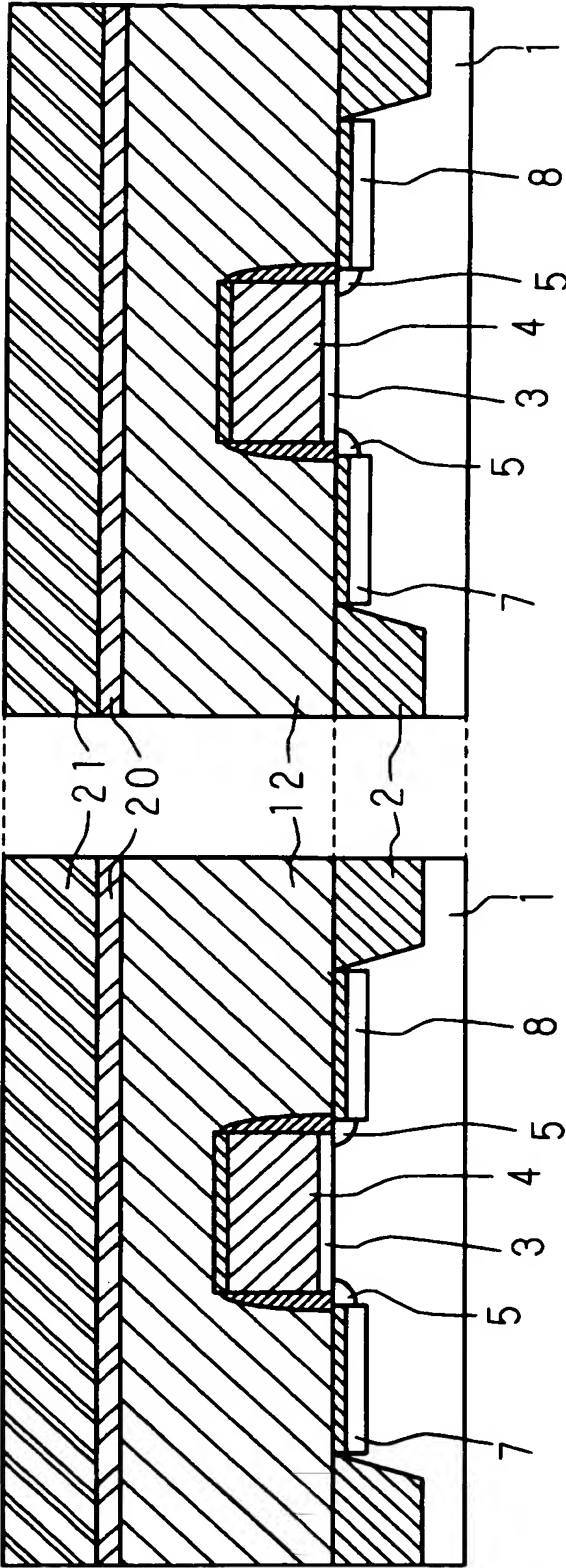
【図 7】



【図 8】

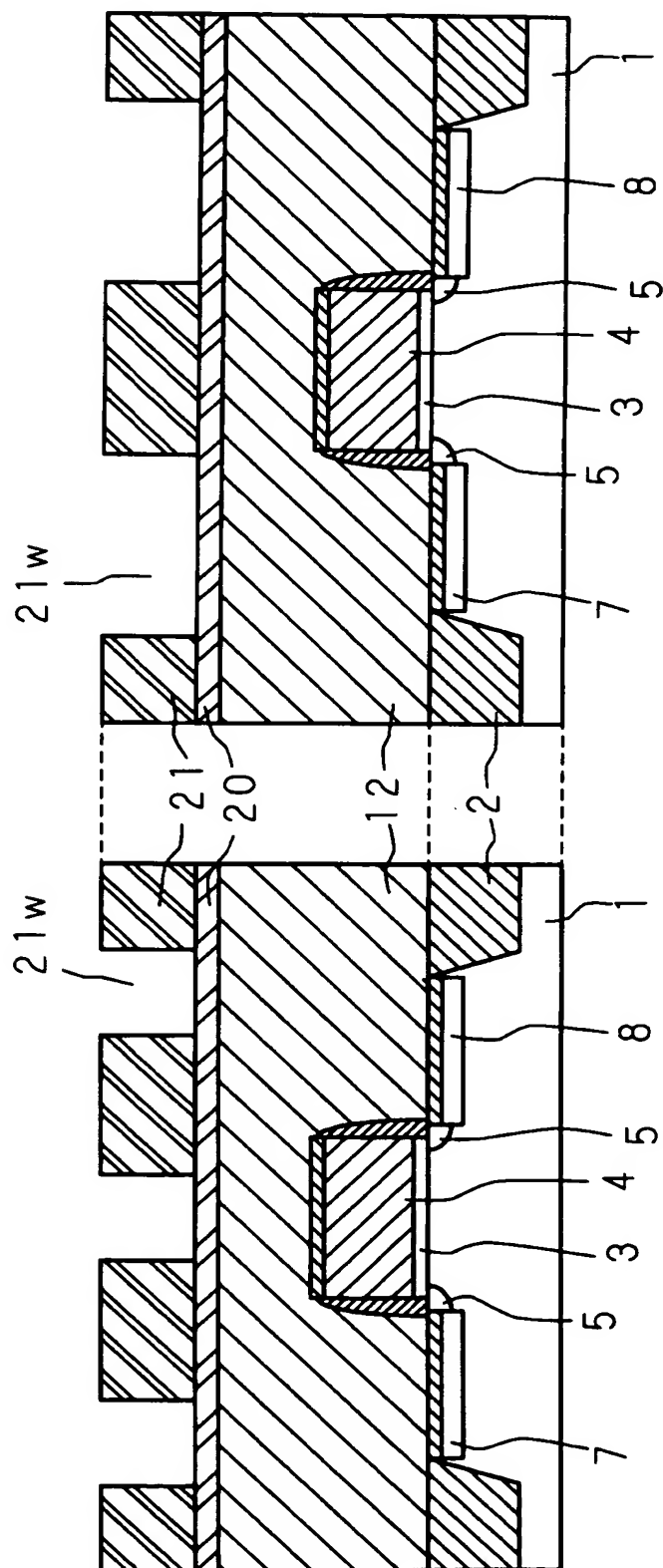


【図 9】

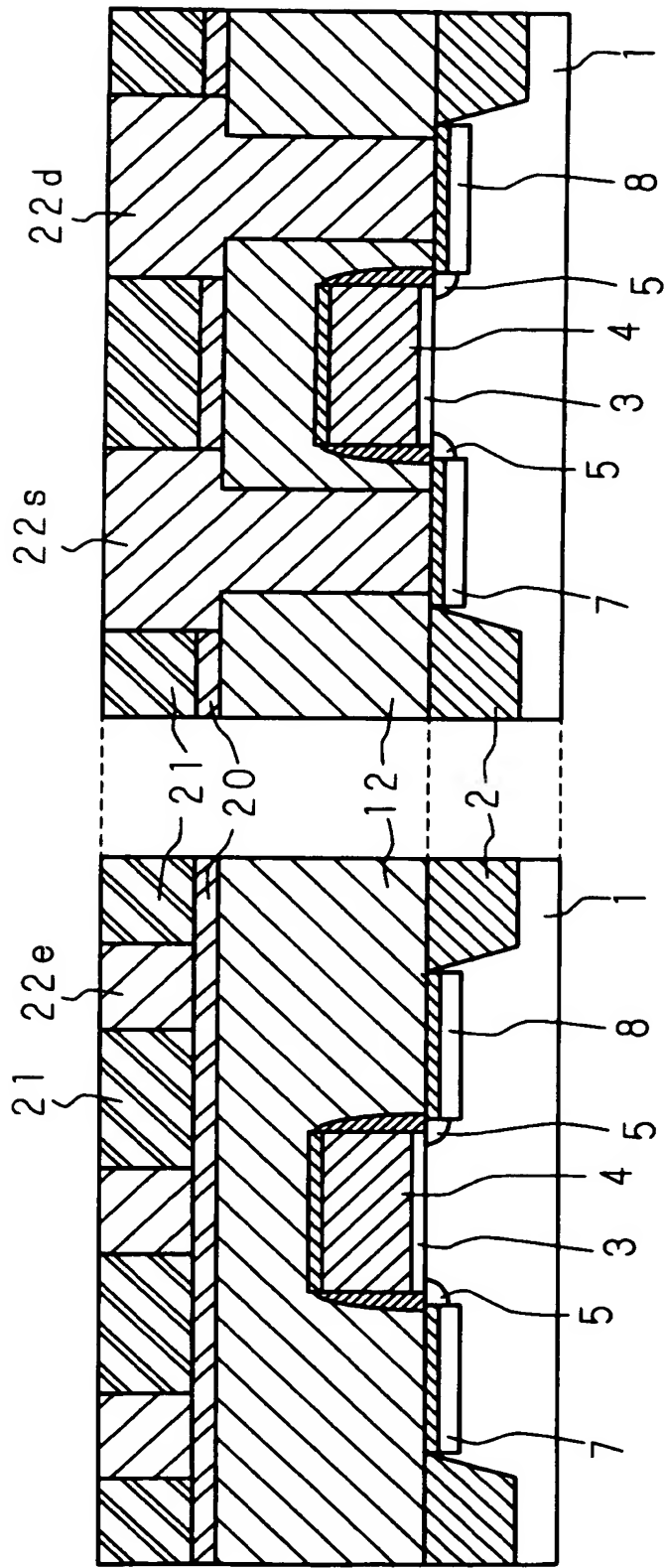




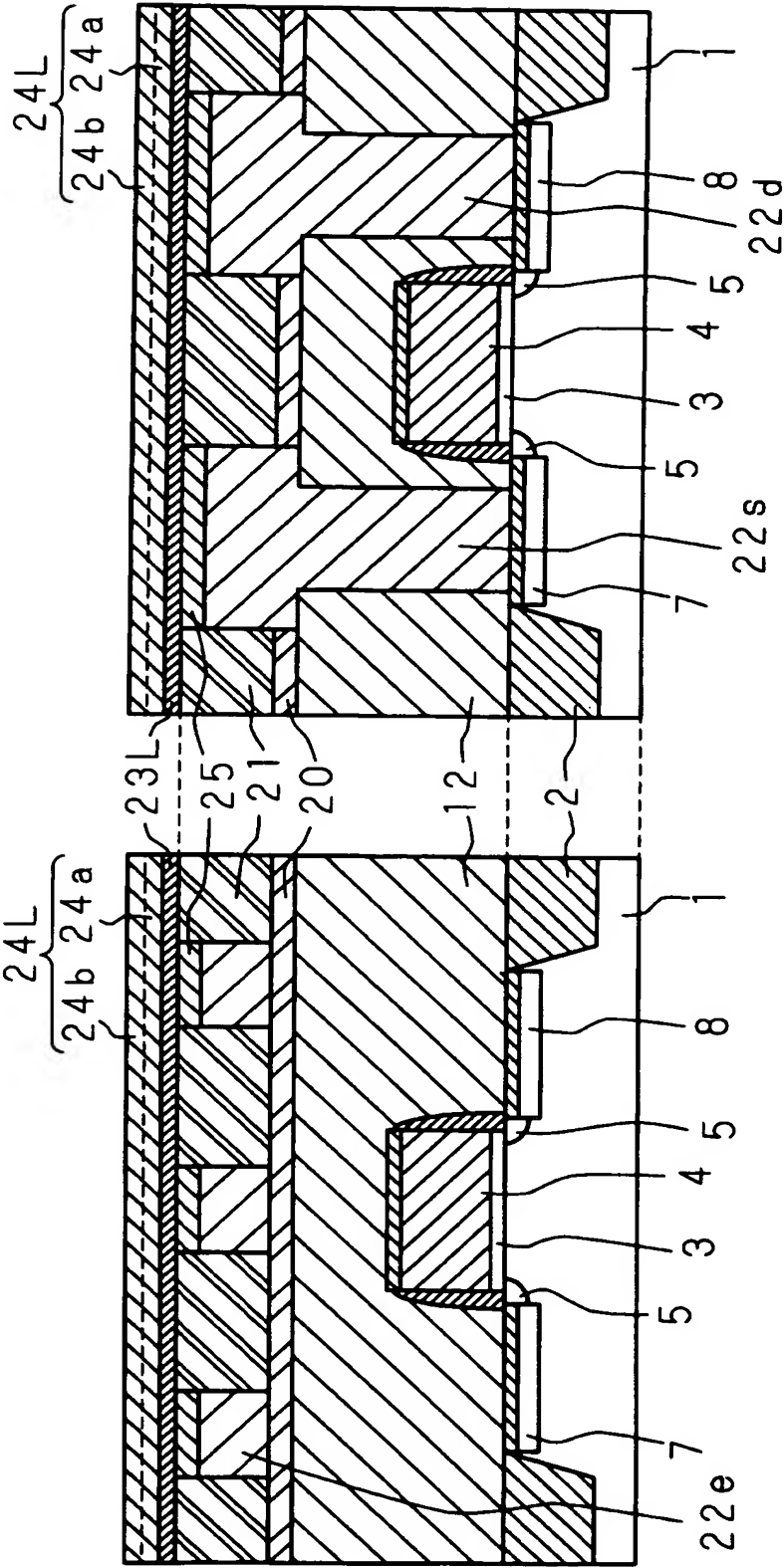
【図 10】



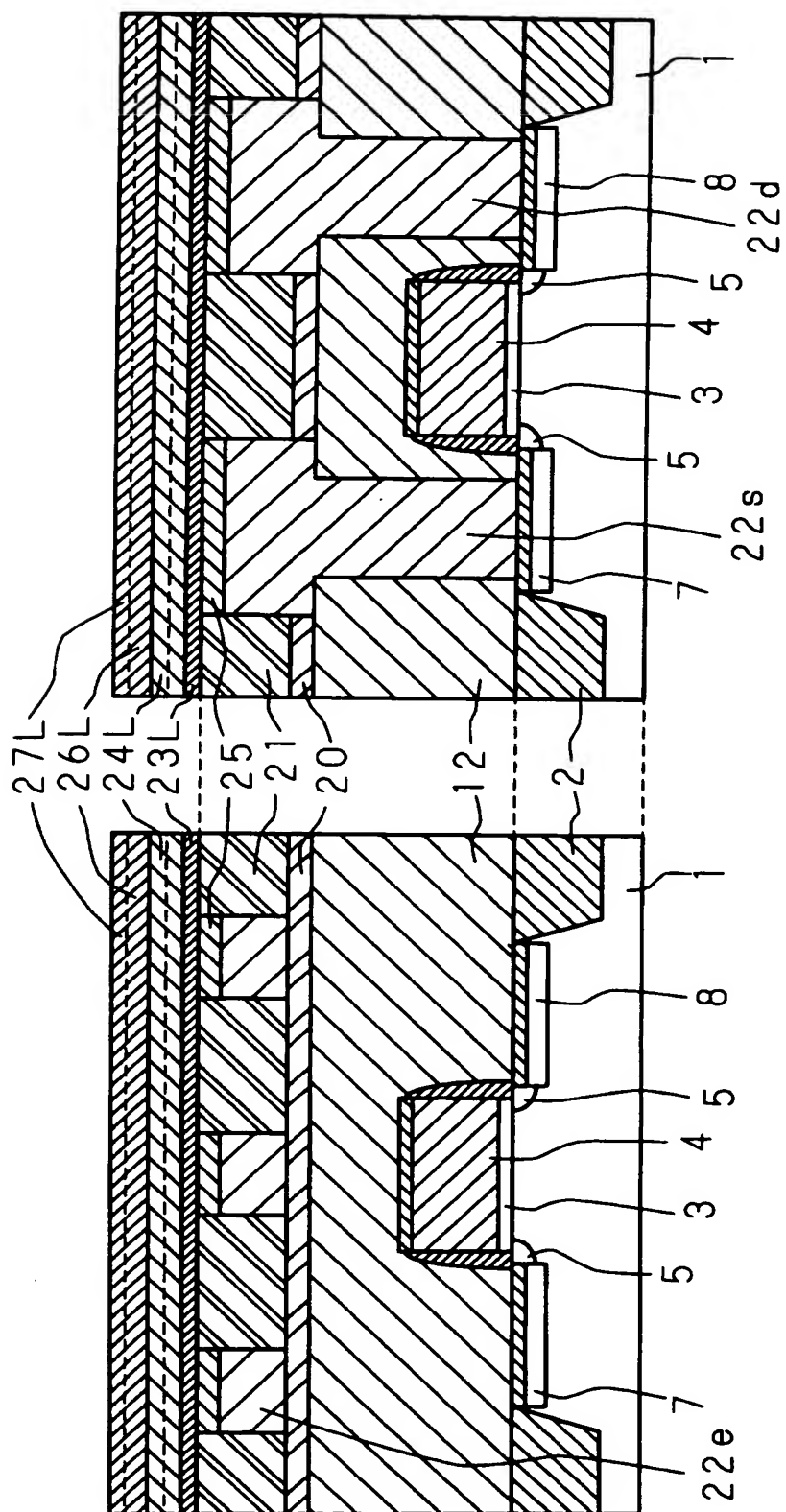
【図 11】



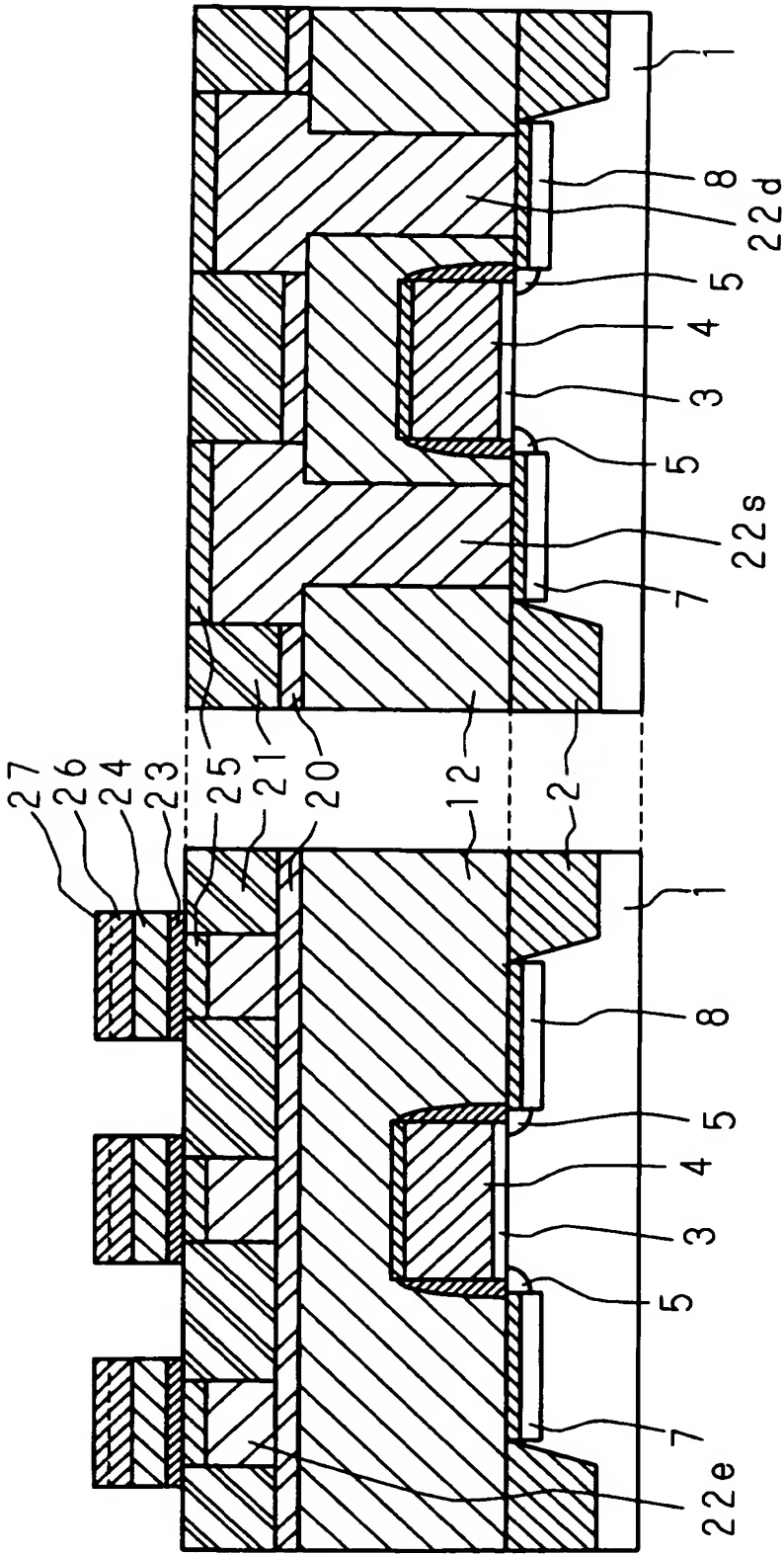
【図 12】



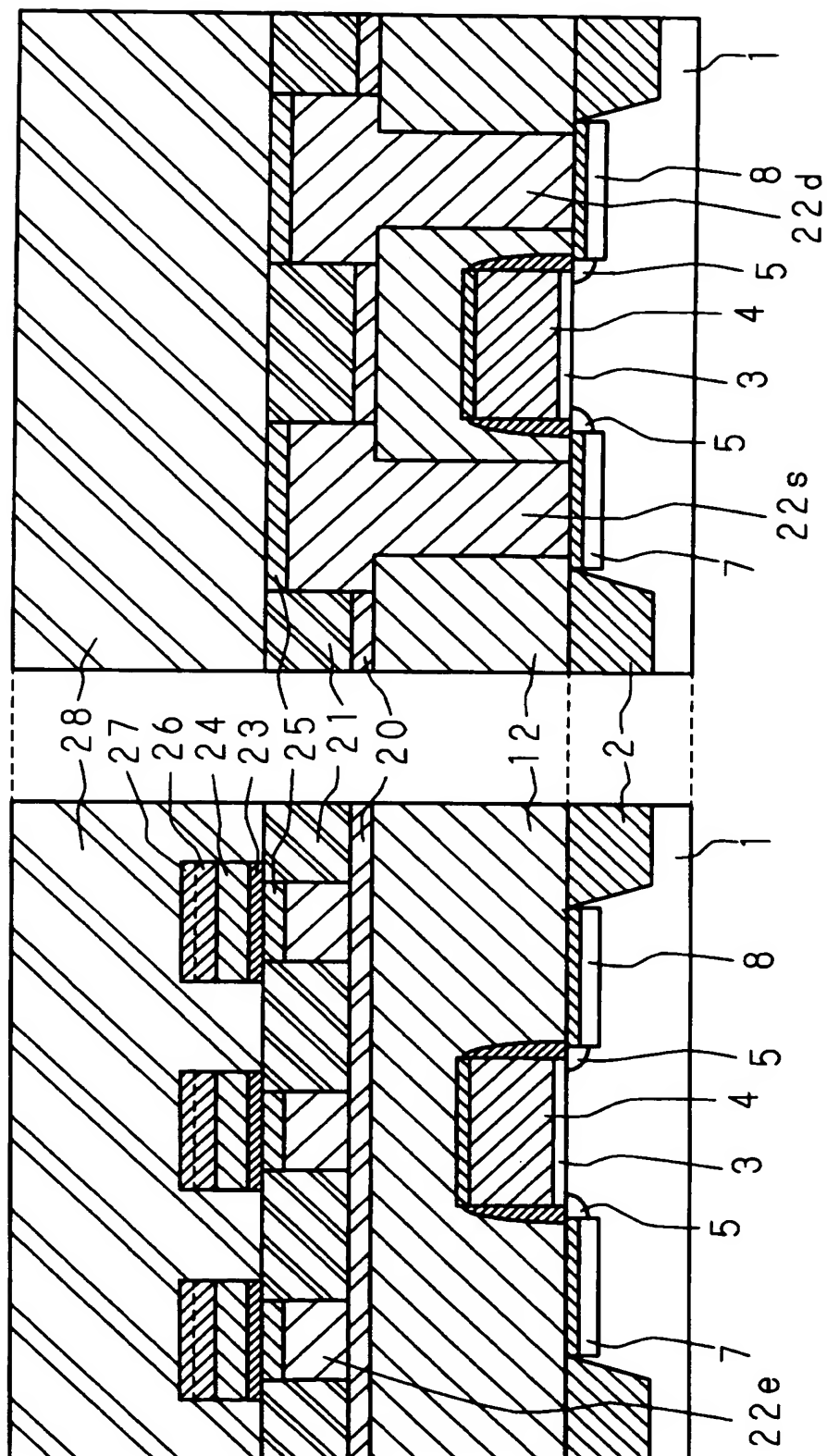
【図 13】



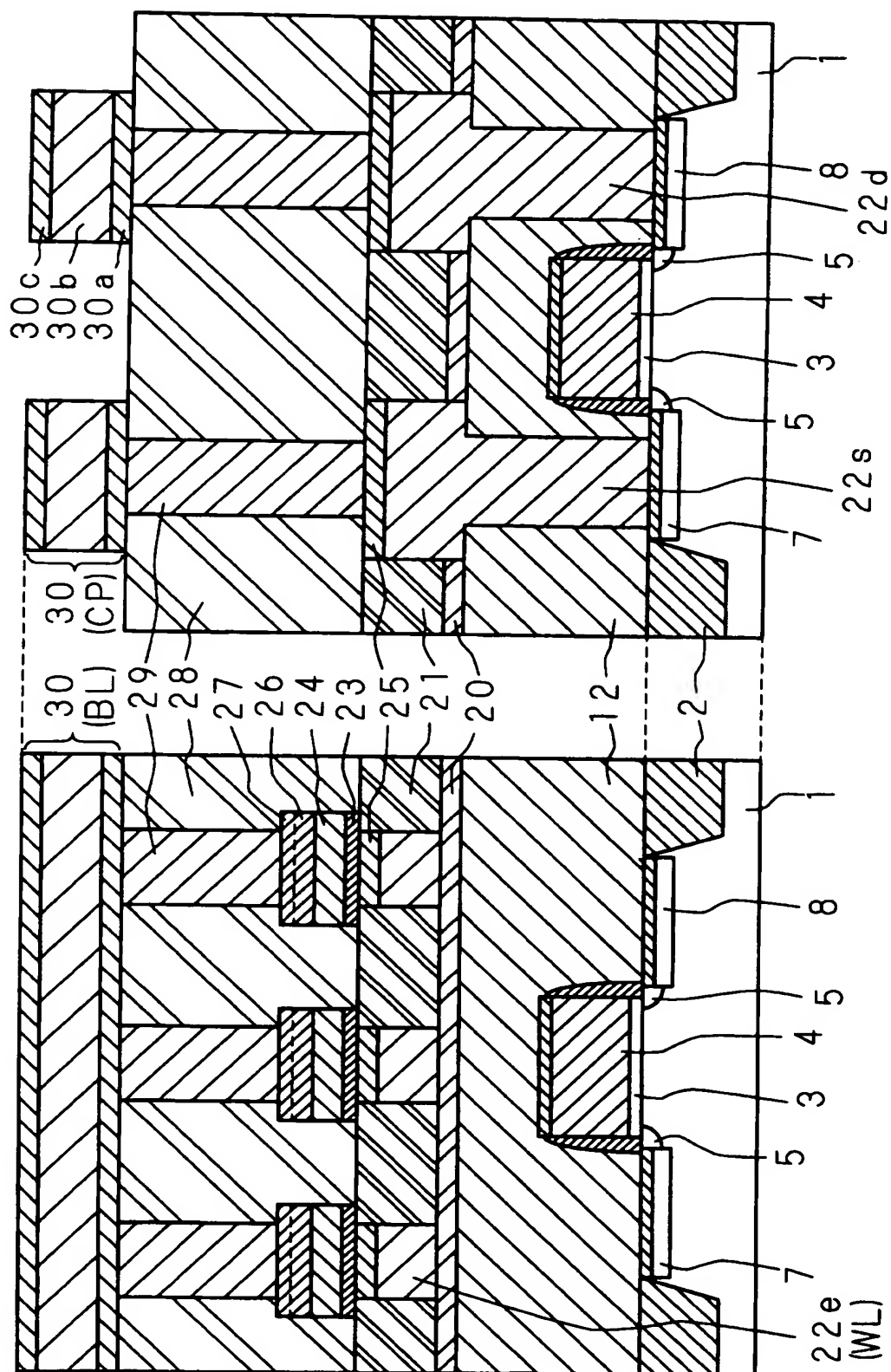
【図 14】



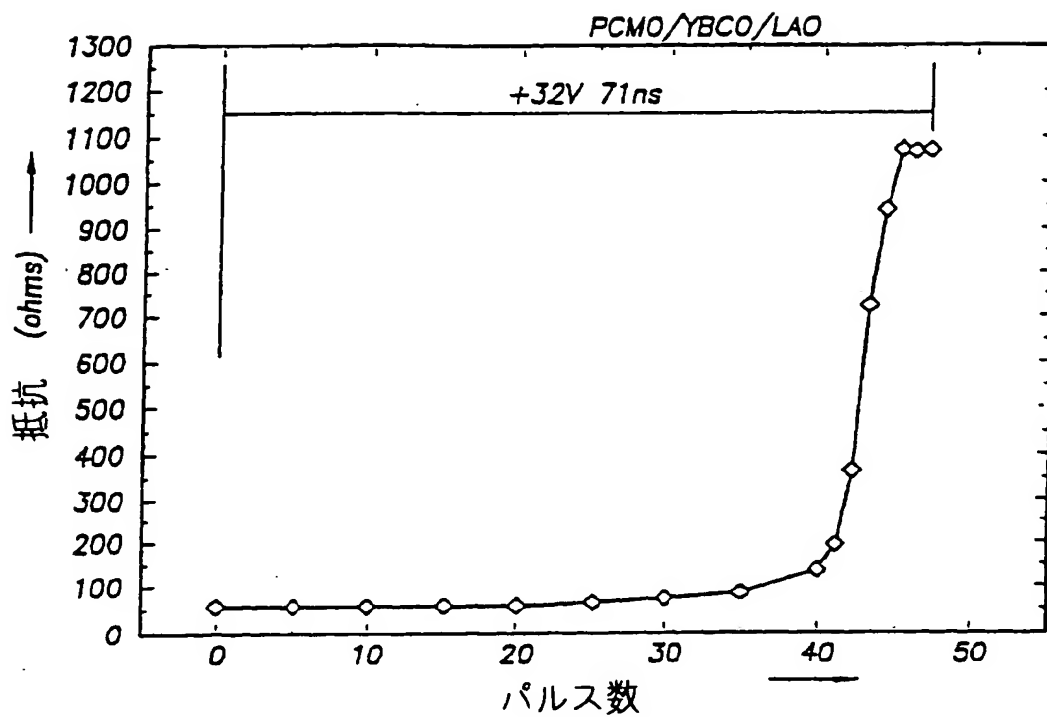
【図 15】



【図 16】

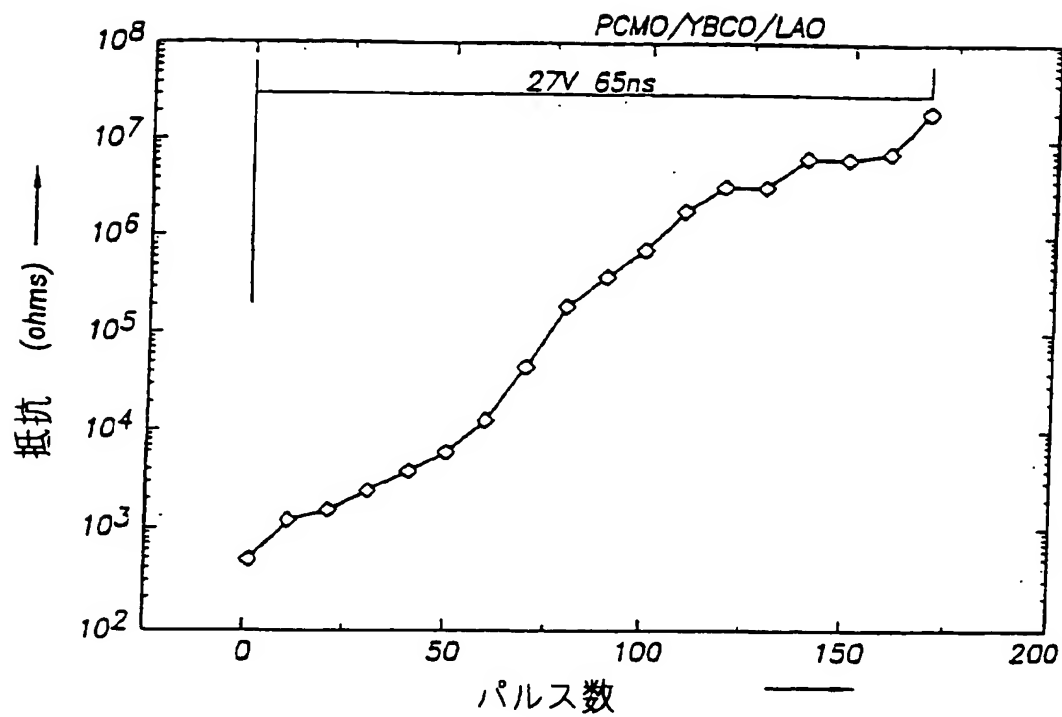


【図 17】

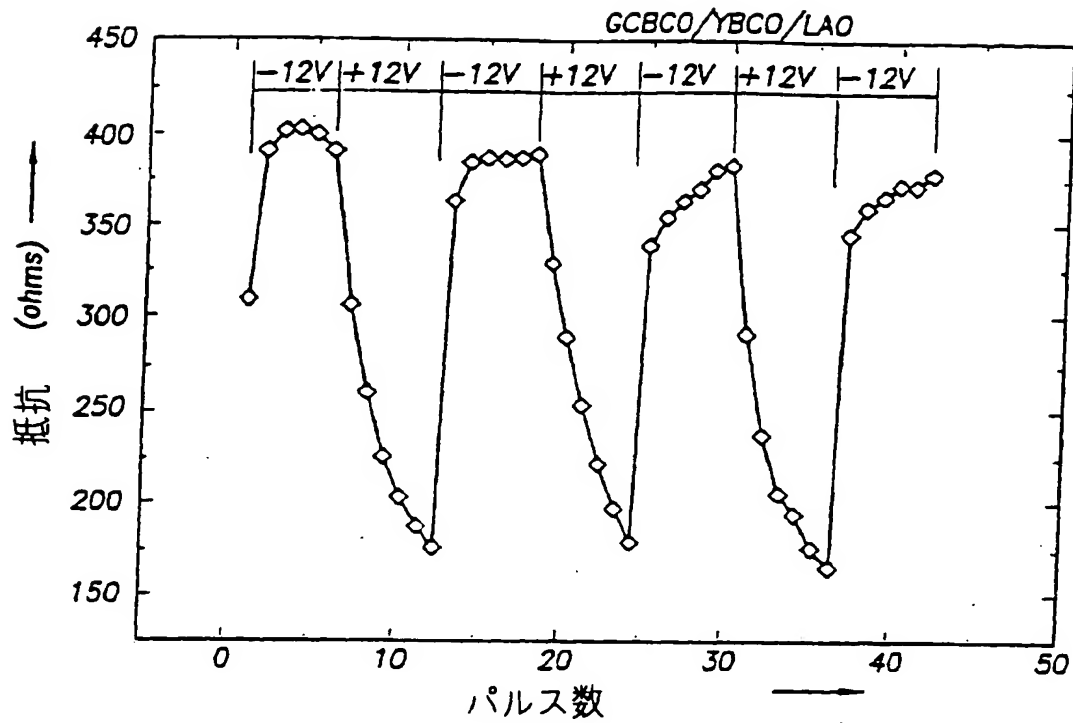




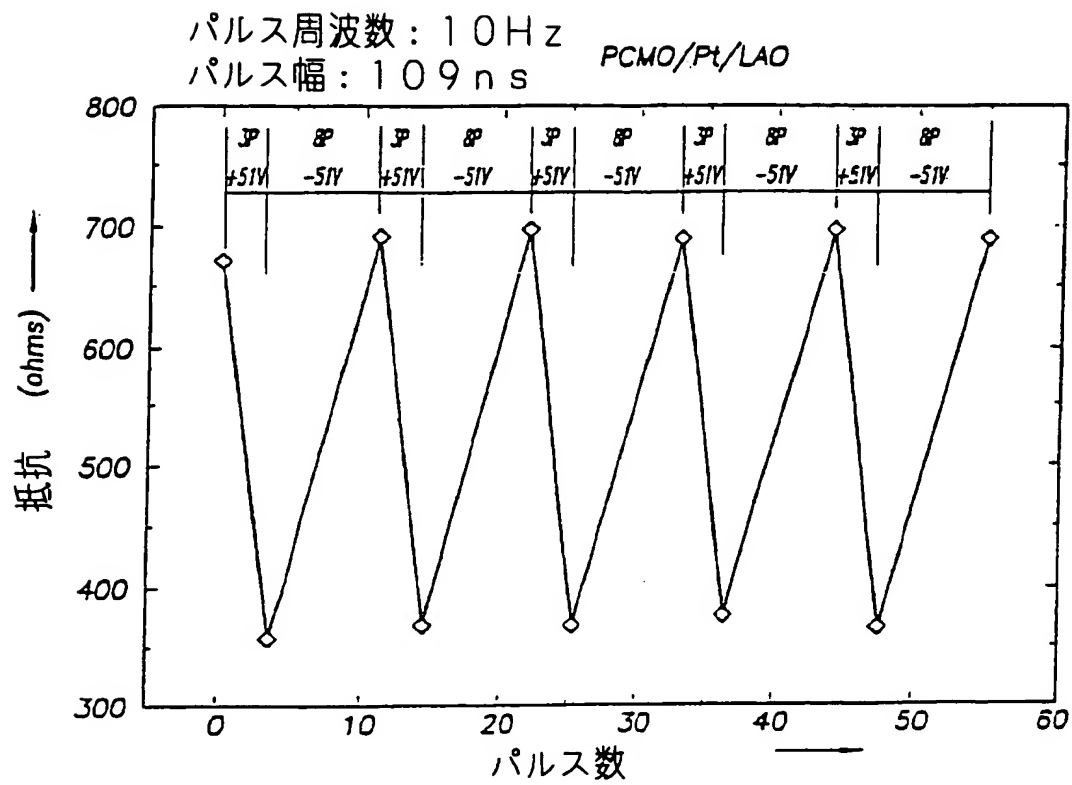
【図 18】



【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 可変抵抗素子及びダイオードの直列回路で構成されるメモリセルでの読み出しディスタープの影響を低減したメモリセル、メモリ装置及び周辺回路への影響を低減したメモリセル製造方法を提供する。

【解決手段】 可変抵抗素子 31 及びショットキーダイオード 32 は直列に接続されてメモリセル 33 を構成する。メモリ装置にはビット線 BL0、BL1、BL2 が列方向に配置され、ビット線の一方の端部はビット線デコーダ 34 へ接続され、他方の端部は読み出し回路 37 へ接続されている。ビット線と交差する行方向にワード線 WL0、WL1、WL2 が配置され、ワード線の両端はワード線デコーダ 35、36 に接続されている。つまり、ビット線及びワード線はマトリックス状に配置され、ビット線及びワード線が交差する位置に各メモリセルが配置されてメモリ装置を構成しているものとする。

【選択図】 図 1

特願 2 0 0 3 - 1 0 8 0 2 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 0 4 9 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社